

酸化濃縮法により作製した GOI を用いた引張りひずみ GOI nMOSFET

Tensile strain GOI nMOSFET on GOI substrates fabricated by Ge condensation

東大院工, K.-W. Jo, C.-M. Lim, トーブラサートポン・カシディット, 竹中充, °高木信一

Univ. Tokyo, K.-W. Jo, C.-M. Lim, Kasidit Toprasertpong, Mitsuru Takenaka, °Shinichi Takagi

E-mail: takagi@ee.t.u-tokyo.ac.jp

【背景】酸化濃縮による GOI 基板は、高い圧縮ひずみを持つことから、pMOSFET の性能向上に役立つ[1, 2]が、同じ基板で CMOS を実現するためには、結晶性を劣化させることなく、圧縮ひずみを引張りひずみに変換することが必要である。本研究では、濃縮後に比較的低温の追加酸化を行うことにより、結晶欠陥を生成させることなく、引張りひずみを導入することに成功し、nMOSFET の電子移動度を向上できることを見出した。更に、この引張りひずみ GOI 構造の薄膜化により、nMOSFET の顕著な電子移動度増大を観測したので報告する[3]。

【酸化濃縮プロセス】10nm の(100)SOI 基板上に 60nm の $\text{Si}_{0.75}\text{Ge}_{0.25}$ エピ層を形成した構造に対して、Fig.1(a)の酸化濃縮を行った。ここで GOI まで濃縮した後、850°Cでの追加酸化濃縮を行った。この結果、Fig.1(b)に示すように、酸化時間と共に、圧縮ひずみが緩和しその後、引張りひずみが導入されることを観測した。酸化時間とひずみ量の関係を Fig.2 に示す。最適な酸化時間によって、0.5%程度の引張りひずみを導入できることが分かる。この GOI 基板上に、Al/W/ Al_2O_3 ゲートスタックをもつ GOI nMOSFET を作製して、その電気特性を調べた。

【素子特性結果と考察】Fig.2(b), (c)に異なるひずみ量をもつ GOI nMOSFET の I_d - V_g 特性と電子移動度を示す。追加酸化で I_{off} が変わらないことは圧縮ひずみ緩和の起源が欠陥生成ではないことを示唆している。引張りひずみの導入

で、電子移動度が2倍以上向上する事が分かる。

極薄膜領域での移動度の挙動を調べるため、引張りひずみ GOI 基板をプラズマ酸化によるデジタルエッチング[4]により薄膜化した。Fig.3 に GOI 膜厚を変えた nMOSFET の電子移動度の N_s 依存性を示す。2.5nm までの薄膜化で電子移動度が大幅に向上し、ピーク値で $777 \text{ cm}^2/\text{Vs}$ の値が得られる。ここで、ひずみ量は 2.5nm まで維持され、それ以下の膜厚で急激に緩和する。Fig. 4 に移動度の GOI 膜厚依存性とベンチマーク結果を示す。引張りひずみの導入に加え、GOI 薄膜化により移動度が大きく増大しており、反転層電子の、L 点から Δ 点 2 重縮退バレーへの遷移[8]がその起源と考えられる。

【まとめ】酸化濃縮後の 850 °C の追加酸化により、GOI の圧縮ひずみを 0.5%程度の引張りひずみに変調できる。このひずみと GOI 薄膜化により、2.5 nm の膜厚の nMOSFET において、 $777 \text{ cm}^2/\text{Vs}$ の電子移動度を実現した。

【謝辞】本研究は、科学研究費 19K15021 及び JST CREST JPMJCR1332 の支援により実施した。

【参考文献】 [1] W.-K. Kim et al, VLSI Symp., T124 (2017) [2] K.-W. Jo et al., APL **114**, 062101 (2019) [3] K.-W. Jo et al., IEDM, 673 (2019) [4] X. Yu et al., IEDM, 20 (2015) [5] C. H. Lee et al., APL **102**, 232107 (2013) [6] W. H. Chang et al., VLSI symp., T192 (2017) [7] W.-K. Kim et al., TED **51**, 3379 (2014) [8] W. H. Chang et al., TED **64**, 4615 (2017)

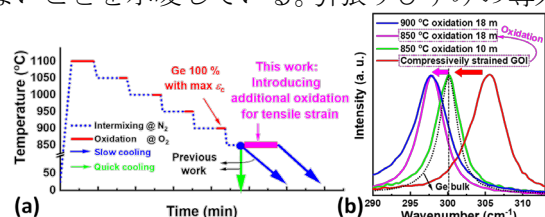


Fig. 1(a) Ge condensation process flow and the recipe and (b) Raman spectra of the Ge-Ge peak

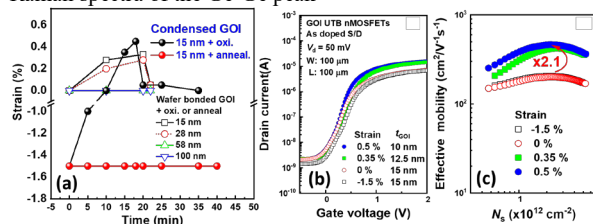


Fig. 2(a) Strain change as function of oxidation/annealing time (b) I_d - V_g and (c) effective electron mobility- N_s of GOI n-MOSFETs with tensile strain, controlled by oxidation time

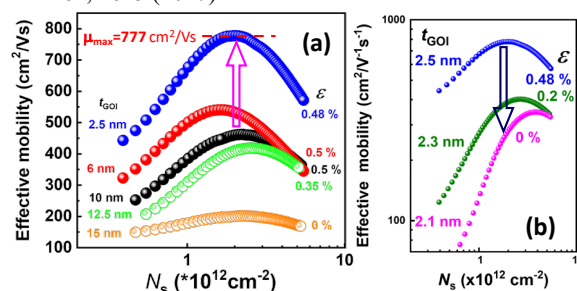


Fig. 3 Electron mobility as function N_s for ETB GOI n-MOSFETs in the GOI thickness ranging (a) from 15 to 2.5 nm and (b) for 2.5 nm to 2.1 nm

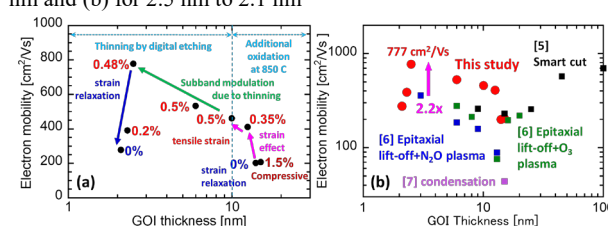


Fig. 4. (a) Summary of GOI thickness dependence of electron mobility and (b) benchmark of effective hole mobility of GOI nMOSFETs as a function of the GOI thickness