

# 大面積集積化に向けたスパッタ堆積ノーマリーオフ MoS<sub>2</sub>-*n*MISFETs

## Normally-off Sputtered MoS<sub>2</sub>-*n*MISFETs for Large Scale Integration

東工大<sup>1</sup>, 明治大<sup>2</sup>, <sup>○</sup>松浦賢太郎<sup>1</sup>, 濱田昌也<sup>1</sup>, 濱田拓也<sup>1</sup>, 谷川晴紀<sup>1</sup>, 坂本拓朗<sup>1</sup>, 堀敦<sup>1</sup>, 宗田伊理也<sup>1</sup>,

川那子高暢<sup>1</sup>, 角嶋邦之<sup>1</sup>, 筒井一生<sup>1</sup>, 小椋厚志<sup>2</sup>, 若林整<sup>1</sup>

Tokyo Tech<sup>1</sup>, Meiji Univ.<sup>2</sup>, <sup>○</sup>K. Matsuura<sup>1</sup>, M. Hamada<sup>1</sup>, T. Hamada<sup>1</sup>, H. Tanigawa<sup>1</sup>, T. Sakamoto<sup>1</sup>, A. Hori<sup>1</sup>, I. Muneta<sup>1</sup>, T.

Kawanago<sup>1</sup>, K. Kakushima<sup>1</sup>, K. Tsutsui<sup>1</sup>, A. Ogura<sup>2</sup> and H. Wakabayashi<sup>1</sup>, E-mail: matsuura.k.ac@m.titech.ac.jp

### 1. はじめに

MoS<sub>2</sub>膜は層状構造や柔軟性、光透過性などの良好な機械的、光学的特性を有し、バンドギャップ(単層: 1.9 eV, 多層: 1.2 eV)を持つため[1,2], 新たな2次元チャンネル材料として注目されている。MoS<sub>2</sub>膜の形成には、剥離法と化学気相成長法が主に用いられるが、大面積成膜とアルカリ金属系汚染に課題がある[3,4]。これまでに汚染なく大面積成膜が可能なスパッタリング法による MoS<sub>2</sub>-*n*MISFETs の特性を報告したが、normally-on 動作が課題であった[5]。

そこで本研究では、SiN 保護膜の導入と硫黄粉末アニールによる硫黄補填、フォーミングガス(F.G.)アニールによる MoS<sub>2</sub>/絶縁膜界面電荷密度の低減により normally-off 動作を実現したため報告する。

### 2. 試料作製方法

Fig. 1 のように poly-Si/SiO<sub>2</sub> 基板上に Poly-Si の S/D 領域を形成後、Mo 膜をスパッタ堆積し、700°C で1分間アニールすることで、Poly-Si 表面に MoSi<sub>2</sub> 膜を形成する。SPM 洗浄によって未反応の Mo を除去し、スパッタリング法で MoS<sub>2</sub> 膜を 2.7 nm 堆積した。その後、硫黄粉末アニールを 700°C で 60 分間行い、原子層堆積法(ALD)で Al<sub>2</sub>O<sub>3</sub> 膜を 16.4 nm 堆積した。MoS<sub>2</sub> 活性領域を Reactive Ion Etching (RIE) で形成後、SiN 膜をスパッタ堆積し、リフトオフによって側壁保護膜とした。RIE によってトップゲート TiN とコンタクトホールを形成後、300°C で 30 分間 F.G.アニールを行い、FET 特性を測定した。

### 3. 結果とまとめ

Fig. 2 に電流-ゲート電圧特性を載せる。太い実線(I<sub>d</sub>)が示すように硫黄粉末アニールと F.G.アニールによって normally-off 動作を実現した。硫黄補填によるキャリア密度と MoS<sub>2</sub>/絶縁膜界面電荷密度の低減によるものと考えられる。硫黄粉末アニールのみでは、normally-on 動作となり、F.G.アニールのみでは硫黄欠損が多く、MoS<sub>2</sub>膜が金属に近い。先行研究に比べて移動度が 0.12 cm<sup>2</sup>/V-s, on/off 比が~10<sup>2</sup> と小

さく、グレインサイズ向上が求められるが、トップゲート構造で normally-off 動作は本研究が初であり[6], MoS<sub>2</sub>膜の実用化に寄与すると期待している。

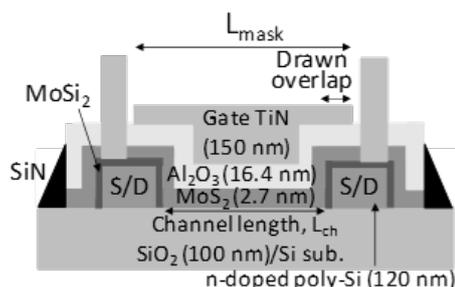


Fig. 1 Cross-sectional schematic image of the *n*MISFET with TiN top gate and sputtered-MoS<sub>2</sub> channel of 2.7-nm thick.

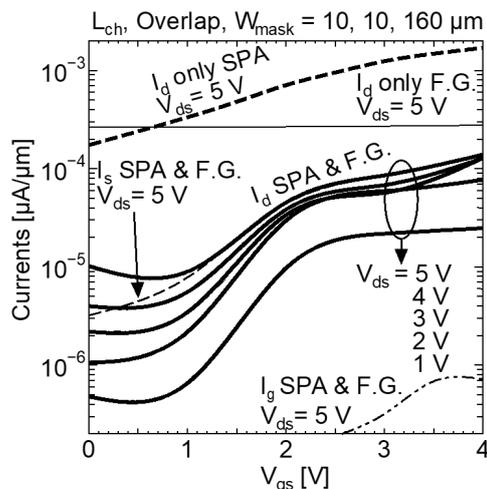


Fig. 2 Logarithm I<sub>d</sub>, I<sub>s</sub> and I<sub>g</sub> dependences on V<sub>gs</sub> with and without SPA and F.G. annealing for L<sub>ch</sub>, overlap and W<sub>mask</sub> of 10, 10 and 160 μm, respectively, at V<sub>ds</sub> = 1 ~ 5 V.

謝辞 本研究の一部は JST CREST JPMJCR16F4 と COI JPMJCE1309 の助成を受けたものである。

### 参考文献

- [1] H. Wang, *et al.*, *IEDM*, 4.6, 88-91, (2012).
- [2] A. Kuc, *et al.*, *Physical review B* 83, 245213, (2011).
- [3] K. Matsuura, *et al.*, *JEM*, Vol. 47, 7, (2018).
- [4] T. Ohashi, *et al.*, *Jpn. J. Appl. Phys.* 54 04DN08, (2015).
- [5] K. Matsuura, *et al.*, *J-EDS*, Vol. 6, pp.1246-1252, (2018).
- [6] K. Matsuura, *et al.*, *IWJT*, S1-3, (2019).