

酸化物半導体／IV 族半導体 積層型トンネル電界効果トランジスタ

Bilayer tunnel field effect transistor with oxide-/group-IV semiconductors

¹東大院工, ²産総研 [○]加藤 公彦^{1,2}, 松井 裕章¹, 田畑 仁¹, 竹中 充¹, 高木 信一¹

[○]Kimihiko Kato^{1,2}, Hiroaki Matsui¹, Hitoshi Tabata¹, Mitsuru Takenaka¹, Shinichi Takagi¹

¹The University of Tokyo, ²AIST E-mail: kimihiko.kato@aist.go.jp

【背景】トンネル電界効果トランジスタ (tunnel FET, TFET) は、従来の MOSFET の物理的限界を超えた急峻スイッチング性を実現し得る素子として有望である[1-3]。例えば n 型 TFET の場合、ゲート電圧でチャネルの伝導帯端を制御し、ソースの価電子帯と状態密度が重畳した途端にバンド間トンネルが生じる。トンネル電流の立ち上がりが電子や正孔のエネルギー分布に従わないことから、MOSFET のサブスレショルドスイング (S 値) の理論限界である 60 mV/桁を下回る急峻な on/off スwitching が実現され、低電圧・低消費電力動作集積回路への応用が期待される。

積層型 TFET (bilayer TFET) 構造は、ゲート電極に対して垂直なバンド間トンネルを、接合面全域に渡り面内均一に引き起こすことができるため、高い I_{on} と小さな S 値の両立に最も理想的な構造と言える[4]。また、Type-II エネルギーバンド構造を有するヘテロトンネル接合は、実効トンネル障壁高さを低くし、トンネル確率を増大させる。これら両者を効率的に組み合わせ、Si CMOS プラットフォーム上で実現可能な TFET 素子を目指し、我々は、酸化物半導体と IV 族半導体を積層させた積層型 TFET 構造を提案している[5,6]。TCAD シミュレーションにより、最小 S 値 1~2 mV/桁の極めて急峻なスイッチング特性が期待される[6]。

【試料作製】本研究では、提案素子を実際に作製し、TFET 動作の実験実証に成功した[7]。素子の断面模式図を Fig.1 に示す。基板材料は p⁺型の Si もしくは Ge であり、ソース材料としても機能する。酸化物半導体材料には酸化亜鉛 (ZnO) を選択し、レーザーアブレーション (PLD 法) により堆積した。ZnO に不純物は添加していないが、余剰 Zn や O 欠損に起因して電子伝導を有する。トンネル接合以外の領域は、SiO₂ 層により Si (もしくは Ge) と ZnO 層は分離されており、また、トンネル接合領域全体を覆うようにゲートスタックがされている。

【実験結果】室温で測定した ZnO/Si TFET の I_d - V_g 特性を Fig. 2 に示す。同チップ上に作製した ZnO TFT の特性と比較したところ、TFET の方がより正の閾値を有し、 I_{on} は小さい。これらの結果は、 I_d が ZnO/Si トンネル接合で制御されていることを示している。加えて、TFET は TFT に比べより急峻なスイッチング特性を示しており、最小 S 値は 71 mV/dec. を達成した。p⁺-Si と p⁺-Ge 基板上に作製した素子の結果を比較したところ、Ge 素子においてより高い I_{on} を得た。Si に比べ Ge の方が価電子帯端が高いため、ZnO との実効エネルギー障壁高さが減少したためと考えられ、Type-II エネルギーバンド構造の有効性を示した結果と言える。 I_{on}/I_{off} 比は 10⁸ を上回り、これまでの TFET の研究と比較しても大きい。当日は、更なる TFET 素子性能向上に向けた最近の取り組みについても報告する。

【謝辞】本研究は、JST CREST の支援 (課題番号: JPMJCR1332) を受けて行われた。

【文献】[1] A. C. Seabaugh *et al.*, Proc. IEEE **98**, 2095 (2010). [2] A. M. Ionescu *et al.*, Nature **479**, 329 (2011). [3] S. Takagi *et al.*, Solid-State Electron. **125**, 82 (2016). [4] L. Lattanzio *et al.*, Solid-State Electron. **74**, 85 (2012). [5] K. Kato *et al.*, IEDM 2017, p. 377. [6] K. Kato *et al.*, AIP Adv. **9**, 055001 (2019). [7] K. Kato *et al.*, J. Appl. Phys. **125**, 195701 (2019).

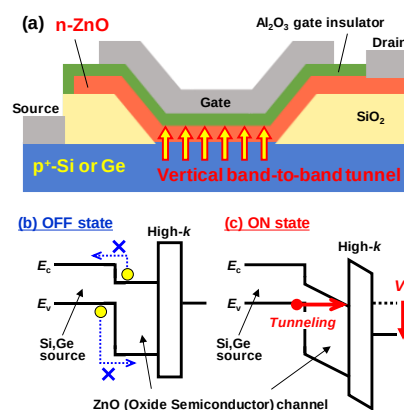


Fig. 1 (a) Cross-sectional illustration of fabricated ZnO/Si(Ge) bilayer TFET structure, and energy band diagrams in (b) off state and (c) on state.

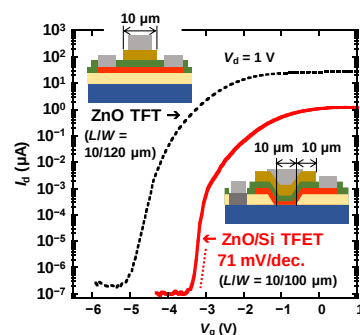


Fig. 2 Experimentally demonstrated I_d - V_g characteristics of the proposed ZnO/Si TFET compared to ZnO TFT.