InAs-On-Insulator 基板の高品質化と貼り合わせ界面特性の評価

Improvement of the quality of InAs-On-Insulator substrates and evaluation of the interface properties

○隅田 圭, 加藤 公彦, 竹安 淳, トープ ラサートポン かディット, 竹中 充, 高木 信一 (東大院工) ○K. Sumita, K. Kato, J. Takeyasu, K. Toprasertpong, M. Takenaka, S. Takagi

(U. Tokyo, School of Engineering), E-mail: sumita@mosfet.t.u-tokyo.ac.jp

【背景】InAs nMOSFET は高移動度,金属に対する低い接触抵抗,低温 で素子作製が可能であるといった優れた性質を持つことから,将来の RF 回路や3次元集積 CMOS 構造への応用が期待される [1]. Smart Cut 法は直接基板貼り合わせと,事前に注入した水素イオンによる基板の カッティングを組み合わせた薄膜転写手法であり,基板の再利用が出 来ることから低コストであるので,Si CMOS プラットフォーム上への 異種材料集積手段として注目されている [2]. 我々はこの Smart Cut 法 を用いて,3 次元集積 CMOS への応用が有望な InAs-On-Insulator (InAs-OI)基板を作製できること,(111)面を用いることで格段に平坦な InAs-OI 基板が形成できることを既に報告した [3]. しかしながら,こ の InAs-OI 基板の詳細な電気特性は明らかになっていない上に,多量 の水素イオンの通過に伴う InAs 層の結晶性の劣化が課題として残さ れていた.本研究ではこの InAs-OI 基板の電気特性を,界面とバルク 特性に分離して定量的に評価し,結晶品質が熱処理によって著しく向 上すること,結果として実現した MOSFET 動作について報告する.

【実験・結果】InAs-OI 基板を Smart Cut 法で形成した後 [3], CMP に よって表面のダメージ層の除去と平坦化を行い、Al₂O₃で表面を保護し た状態で 200-650 ℃ の各温度で, N2 雰囲気下で 1 時間アニールした. それらの試料の電子濃度と移動度をホール測定によって評価した結 果を Fig.1 に示す. 500 ℃ でアニールした基板が最も電子濃度が低く, 移動度が高いことから、イオン注入によって生じたドナー型の欠陥が アニーリングによって回復していることが分かる. 一方で 500 ℃ より 高い温度でのアニールは、構成原子の拡散や熱ストレスによる欠陥の 生成が示唆される.同時にドナー基板を再利用しても特性の劣化が無 いことも実証された.500 ℃の熱処理を施したInAs-OI 基板の電子面密 度とシートコンダクタンスの, InAs 膜厚依存性を Fig. 2 に示す. 図中の 実線は計算値であり、バルクの電子密度(nbulk: 7.3 × 10¹⁷ cm⁻³)と界面に 蓄積する電子密度(nini: 8.8 × 10¹² cm⁻²)は、実測値を最もよく再現する ように決定した.この結果より,残留電子濃度に対して界面電荷の影 響が大きいことが分かる. 裏面界面の特性を改善する為, 貼り合わせ の際の InAs 表面の界面層が,残留電子濃度に与える影響を調べた結 果を Fig. 3 に示す. (i) InAs 表面を直接 Al₂O₃上に貼り合わせた基板, (ii) 表面に酸化膜(InAsOx)を挿入した基板, (iii) InAs 表面に SiO2/Al2O3 を堆 積した状態で貼り合わせた基板の3種類について,全く同様の電子密 度を示している.この結果から、InAs-OI 裏面の表面ポテンシャルは、 界面あるいはその近傍に存在する欠陥や、Charge neutrality levelの観点 から, 伝導帯と価電子帯の大きな状態密度の差に起因してフェルミ準 位が伝導帯近傍に存在すること等が原因と推測される. Fig. 4 に, 5 nm の膜厚の InAs-OI junction-less MOSFET の ID-VG 特性を示す. ドレイン 電流が 10³ 以上の比較的良好なオンオフ比を示すことから, 裏面界面 の特性は MOSFET 動作を阻害するほど悪くはないことが分かった.

【謝辞】本研究は、科学研究費補助金(17H06148)及び JST CREST、 JPMJCR1332 の支援により実施した. 【参考文献】[1] S. Takagi *et al.*、 Proc. MIXDES (2019) 26. [2] J. Widiez *et al.*、 ECS Trans. **64**, 35 (2014). [3] K. Sumita *et al.*、 Jpn. J. Appl. Phys. **58**, SBBA03 (2019).





Fig. 2 InAs thickness dependence of the electron concentration and the sheet conductance



Fig. 3 Electron density of InAs-OI with various interfacial layers.



Fig. 4 I_D -V_G characteristics of 5-nm-thick and 35-nm-thick (111) InAs-OI junction-less MOSFET