

酸化濃縮法により作製した圧縮ひずみ(110)面 SiGe-OI pMOSFET

Compressive strain (110) SiGe-OI pMOSFET fabricated by Ge condensation

東大院工, K.-W. Jo, トーブラサートポン・カシディット, 竹中充, °高木信一

Univ. Tokyo, K.-W. Jo, Kasidit Toprasertpong, Mitsuru Takenaka, °Shinichi Takagi

E-mail: takagi@ee.t.u-tokyo.ac.jp

【背景】SiGe/Ge-On-Insulator pMOSFET は、高い正孔移動度をもつことから、将来の技術ノードのロジック CMOS のための素子として期待されている。正孔移動度を向上させるためには、圧縮ひずみと(110)面の使用が有効であることが知られている。我々は酸化濃縮プロセスの改良により(100)面 GOI 構造の圧縮ひずみを高め、高い正孔移動度が実現できることを示した[1, 2]。本研究では、更なる移動度向上のため、(110)SOI 上の SiGe 層に対して、改良された濃縮プロセスを適用して SGOI 層を形成し、この基板上的 pMOSFET の特性を評価すると共に、SGOI 層の薄膜化を行い、移動度の SGOI 膜厚依存性を調べたので報告する[3]。

【実験手法】Fig.1(a)に示すように、(110)SOI 基板上に $\text{Si}_{0.75}\text{Ge}_{0.25}$ エピ層を形成し、酸化濃縮を行った。Fig.1(b)に濃縮中の SGOI 層の Ge 組成と圧縮ひずみの測定結果を示す。既報[1,2]の様に濃縮後の基板冷却に十分時間をかけることで、高いひずみが維持できることが分かる。一方(100)面と比較すると、(110)面ではひずみ緩和が大きく、結晶欠陥がより発生しやすいことが分かる。

【結果と考察】Fig.2(a)に pMOSFET (チャネル方向は<110>方向に平行)の I_d - V_g 特性の Ge 組

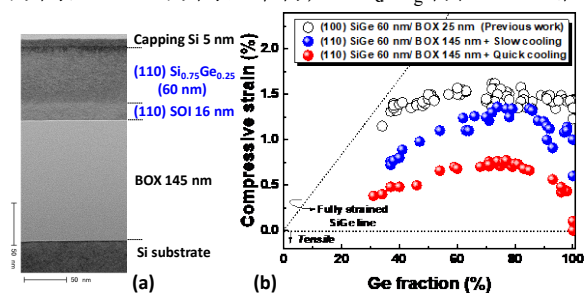


Fig. 1(a) TEM of a (110) SiGe/(110) SOI starting substrate and (b) strain behaviors with the optimized recipe

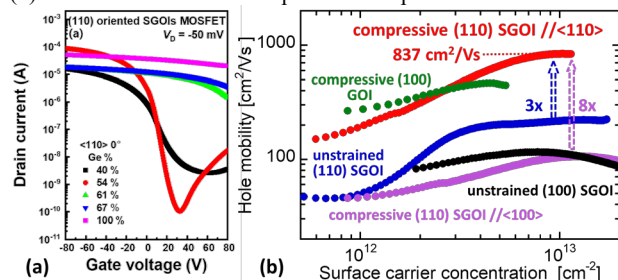


Fig. 2(a) I_d - V_g for (110) SGOI pMOSFETs with changing Ge fractions (b) Comparison of effective μ_h - N_s of (110) and (100) SGOI/GOI p-MOSFETs with different compressive strain

成依存性を示す。高 Ge 組成では、生成した欠陥のため FET の I_d が V_g ではカットオフできない。結果として、Ge 組成 54% が電気特性の点で最適であることが分かる。Fig.2(b)に実効移動度の N_s 依存性を、他の SGOI/GOI pMOSFET と比較して示す。最大移動度として $837 \text{ cm}^2/\text{Vs}$ の値が得られ、(100)面ひずみ GOI よりも高い正孔移動度が得られることが分かる。

極薄膜領域での移動度の挙動を調べるために、濃縮後の SGOI 基板(Ge 組成 54%)を TMAH によるエッチングによって薄膜化した。Fig.3 に pMOSFET の正孔移動度の SGOI 膜厚依存性を、Fig. 4 にベンチマーク結果を示す。5nm 以下の膜厚でも比較的高い移動度が維持されていることが明らかとなった。

【まとめ】酸化濃縮による(110)面 $\text{Si}_{0.46}\text{Ge}_{0.54}$ -OI pMOSFET は、圧縮ひずみとの組み合わせにより極めて高い正孔移動度を実現できる。

【謝辞】本研究は、科学研究費 19K15021 及び JST CREST JPMJCR1332 の支援により実施した。

【参考文献】[1] W.-K. Kim et al, VLSI Symp., T124 (2017) [2] K.-W. Jo et al., APL **114**, 062101 (2019) [3] K.-W. Jo et al., IEDM, 673 (2019) [4] C. H. Lee et al., SOI Conf., 1 (2011) [5] X. Yu et al., MEE **147**, 196 (2015) [6] X. Yu et al., IEDM, 20 (2015) [7] P. Hashemi et al., VLSI symp., 16 (2015) [8] W.-H. Chang et al, APEX **9**, 091302 (2016) [9] S. Dissanayake et al, JAP **109**, 033709 (2011)

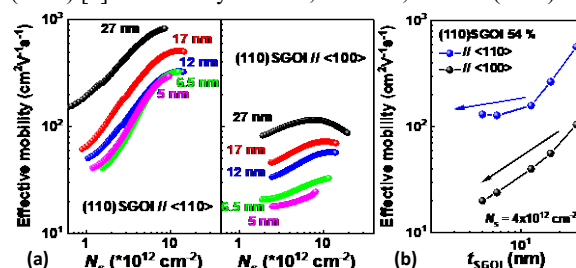


Fig. 3 (a) Hole mobility of (110) $\text{Si}_{0.46}\text{Ge}_{0.54}$ OI p-MOSFETs along <110> and <100> direction with different SGOI thickness (b) hole mobility as a function of SGOI thickness

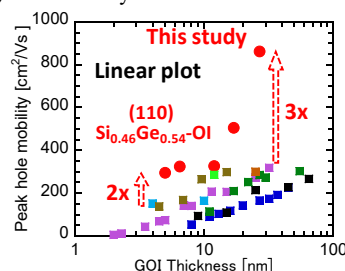


Fig. 4. Benchmark of effective hole mobility of SGOI/GOI p-MOSFETs as a function of the SGOI/GOI thickness