

三次元積層構造を活かしたイメージセンサの進化

Advances in CMOS image sensors utilizing a 3D IC stacking technology

ソニーセミコンダクタソリューションズ株式会社 岩元 勇人

Sony Semiconductor Solutions Corporation, Hayato Iwamoto

E-mail: Hayato.Iwamoto@sony.com

近年、半導体イメージセンサはスマートフォン向けカメラやデジタルスチルカメラをはじめとして、ビデオカメラ、監視カメラなど幅広い用途で使われるようになってきている。これらのアプリケーションではセンサ画素サイズの微細化と多画素化が進められているが、センサ画素の微細化に伴い、従来の表面型 CMOS イメージセンサでは、オンチップレンズで集めた光が金属配線に反射され、効率的にシリコン基板中のフォトダイオードに取り込むことができなくなった。そこで、金属配線をフォトダイオードの裏側に配置した、裏面照射型 CMOS イメージセンサが開発され、光路に対する金属配線の障害を無くすことにより、従来の表面型 CMOS イメージセンサでは達成できない高い感度が実現された[1]。

その後、裏面照射型 CMOS イメージセンサに、新しい機能の追加や高速・低消費電力化が可能になる積層型 CMOS イメージセンサが開発された。この構造は、ロジック回路をセンサ画素領域から切り離し、支持基板の代わりにセンサ画素の下に新たなロジック回路領域を確保することで、これまで以上の規模でロジック回路を搭載することができるようになった[2]。

初期型の積層型 CMOS イメージセンサは、TSV(Through-Silicon-Via)と呼ばれる貫通電極を用いて上層のセンサ画素と下層のロジック回路が電氣的に接続されたが、TSV はセンサ画素のシリコン部を貫通するため、センサ画素領域およびその近傍に配置することができず、周辺の専用領域に形成する必要があった。そこで、最新の積層型 CMOS イメージセンサには、Cu-Cu 接続と呼ばれる新しい積層技術が導入された[3]。Cu-Cu 接続は、センサ画素とロジック回路をそれぞれの積層面に形成した Cu 接続端子で直接接続しているためセンサ画素のシリコン部を貫通する必要がなく、センサ画素領域下の大面積部に多数の Cu 接続端子を配置することができるため、チップサイズの小型化と高機能化が同時に達成される[4]。このような積層型 CMOS イメージセンサは、センサ画素で撮像性能の向上、ロジック回路で高機能化の向上を容易に実現することができ、今後、IoT や AI という視点での活用や社会貢献が期待される。

[1] S.Iwabuchi, et al., ISSCC 2006, [2] T.Umeybayashi et al.,ISSCC 2014

[3] Y.Kagawa et al., IEDM 2016, [4] M.Sakakibara et al.,ISSCC2018

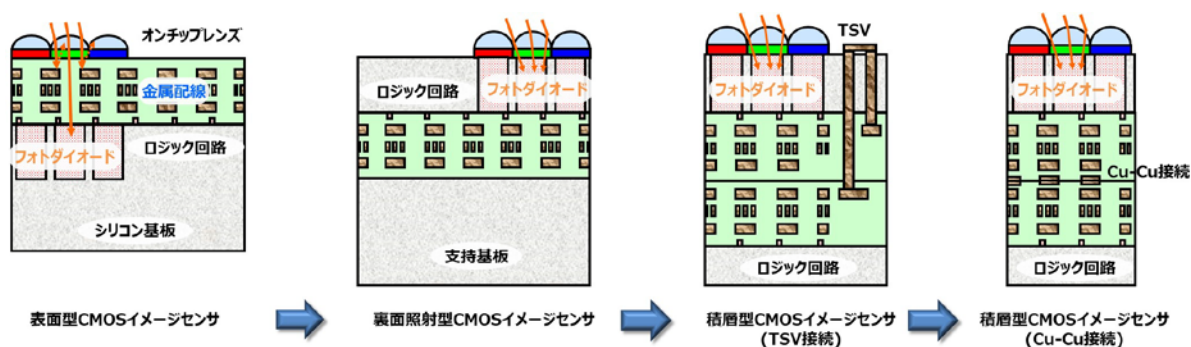


図1. CMOS イメージセンサの進化