

## スケーラブル超伝導量子アニーリングマシン開発の現状 -集積化と実装技術-

Current states of development of scalable superconducting annealing machines

-Circuit integration and packaging technology-

産総研, 牧瀬 圭正

AIST, Kazumasa Makise

E-mail: kf-makise@aist.go.jp

D-waveから超伝導量子ビットによる量子アニーリングマシン商用化され、来年で10年目に入る。その間、マシンの高性能化はもちろんのこと、企業への導入、クラウドサービスの公開等、着実な進展を見せている。一方でハードウェアの技術課題をいくつか抱えてままだ。特に大規模集積化と量子コヒーレンス性能向上は最重要課題である。集積化に着目すると実用上では100万量子ビット級での集積化が必要とされている。磁束量子ビットは絶縁体をトンネル障壁として超伝導で挟んだジョセフソン接合からなるSQUID（超伝導量子干渉素子）を基本素子として構成される。しかしSQUIDは半導体のCMOS等と比較すると基本素子の専有面積が大きいことがボトルネックとなっている。同様な構造を有するD-waveから今年度に投入が予定されている次世代アニーリングマシンの“Pegasus”ですら5000量子ビットであり、集積度を上げることはそう容易ではない。そこで我々は百万量子ビットを実装可能とするスケーラブルな量子アニーリングマシンの実現を目指している。今発表では、スケーラブル量子アニーリングマシンに向けた超伝導回路の集積化と実装技術の開発の現状について報告する。図1に100万量子ビット以上を達成するために、産総研で提案した複数のチップを一つの基板に搭載したマルチチップモジュール（MCM）を示す。このMCMは量子ビットとカプラから構成されるQubit chip、その量子ビットの読み出しと制御をつかさどるactive interposer chipと隣接するチップ間を接続するbridge interposer chip が同一なpackage substrateに実装される。この量子ビットを20 mm角チップに敷き詰めると、1チップに62,500量子ビットを集積化し、16チップ実装すればすることで百万量子ビットの超伝導量子アニーリングマシンを実現することができる。そのために必要なNb量子ビット集積化技術（超伝導多層配線集積回路）や三次元実装技術（超伝導TSV、超伝導フリップチップ接続）の現状と技術課題について紹介したい。

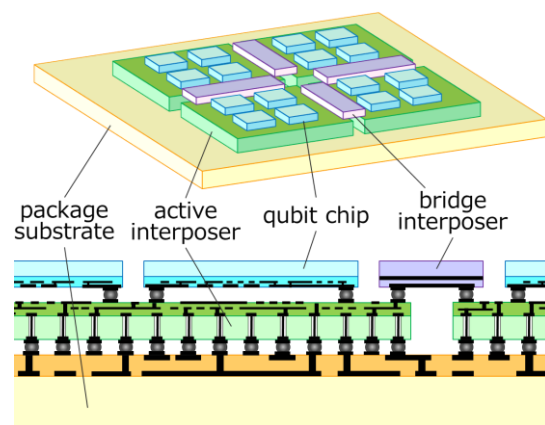


図1 MCMの構造の断面図