

## フリップチップ実装した $\beta$ -Ga<sub>2</sub>O<sub>3</sub> ショットキーバリアダイオード パッケージの熱抵抗評価

Estimation of thermal resistance of  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> Schottky barrier diode packages fabricated  
by flip chip bonding technique

ノベルクリスタルテクノロジー ○山口 慎也, 町田 信夫, 高塚 章夫, 大塚 文雄,  
佐々木 公平, 倉又 朗人

Novel Crystal Technology, Inc., Shinya Yamaguchi, Nobuo Machida, Akio Takatsuka, Fumio Otsuka,  
Kohei Sasaki, and Akito Kuramata

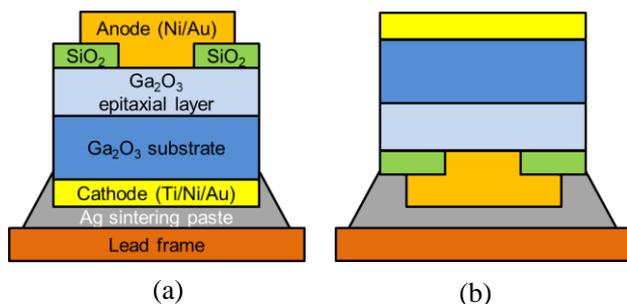
E-mail: s.yamaguchi@novelcrystal.co.jp

$\beta$ -Ga<sub>2</sub>O<sub>3</sub>は、高い絶縁破壊電界強度と製造の容易さから次世代パワーデバイス用半導体材料として期待されている。一方で熱伝導率が $\sim 0.3$  W/mKであり他のパワーデバイス用半導体材料と比較して1桁小さく、動作時の放熱性に課題がある。本研究では、 $\beta$ -Ga<sub>2</sub>O<sub>3</sub>ショットキーバリアダイオードを作製し、主な発熱源であるエピタキシャル層をリードフレーム側としたフリップチップ実装を行いその熱抵抗を評価した。

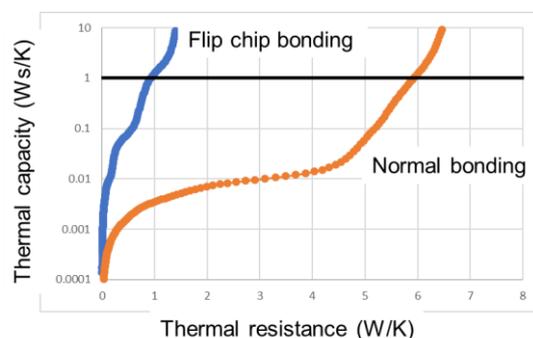
作製したサンプルの模式図を図1に示す。EFG法により作製した $\beta$ -Ga<sub>2</sub>O<sub>3</sub>基板の上にHVPE法を用いてドリフト層を形成した。基板側にはカソード電極としてTi/Ni/Auを形成した。アノード電極は、2.3 mm<sup>2</sup>のNi/Auとした。フリップチップ実装サンプルは、Ag焼結剤を用いてアノード電極をリードフレームにボンディングした後、カソード電極を $\phi 300$   $\mu$ mのAlワイヤーで端子に接続して作製した。また、比較としてカソード電極をリードフレーム側とした正常実装サンプルも作製した。実装後、TO-247パッケージに樹脂封止した。この両者に対しstatic法による過渡熱抵抗測定を行った。測定にはSiemens社製T3Sterを用いた。

図2に測定結果を示す。縦軸が熱容量、横軸が熱抵抗を示している。また加熱電流を6 A、加熱時間を100 sとし、測定電流を50 mAとした。予備実験の結果、熱源からリードフレーム裏までの熱容量はおおよそ1.0 Ws/Kと見積もられた。その値を用いると、フリップチップ実装サンプルの熱源からリードフレーム裏までの熱抵抗( $R_{th(j-c)}$ )はおおよそ0.9 W/K、正常実装サンプルの $R_{th(j-c)}$ はおおよそ5.9 W/Kと推定された。よって、フリップチップ実装を行うことで、熱抵抗をおおよそ1/6に低減できることが分かった。

[謝辞] 過渡熱抵抗測定には、Siemens社の原 智章様にご協力頂いた。



**Fig.1.** Schematic diagram of (a) normal or (b) flip chip bonding of  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> Schottky barrier diodes.



**Fig.2.** Thermal resistance vs thermal capacity of  $\beta$ -Ga<sub>2</sub>O<sub>3</sub> Schottky barrier diode packages.