SiC-SBD のサージ耐量評価と保護効果に関する予備的な検証

Preliminary evaluation on surge withstand of SiC-SBD, and its protection effect

秋山　肇[1]，橋本祐一[2]，佐野　弘[2]

Hajime AKIYAMA[1]，Yuichi HASHIMOTO[2]，Hiroshi SANO[2]

NCT Fukui college[1], ITC of Fukui pref.[2]

E-mail: akiyama@fukui-nct.ac.jp

ワイドバンドギャップ半導体パワーデバイスのサージ耐量を向上させると共に実装密度の高密度化を図ることを目的として内蔵型サージ保護デバイスの開発を検討している[1]。今回は予備的な調査として SiC-SBD（Schottky Barrier Diode）の逆方向耐圧特性に対するサージ耐量を評価した。サージアブゾーバデバイスとしては ZnO バリスタを採用した。

サージ耐量試験にはサージ試験器（NoiseKen 社製、LSS-F03）を用いた。この試験器は IEC61000-4-5 Ed.3 試験規格に準拠した性能を有している。今回の試験で採用した電圧サージ波形を Fig.1 に示す。

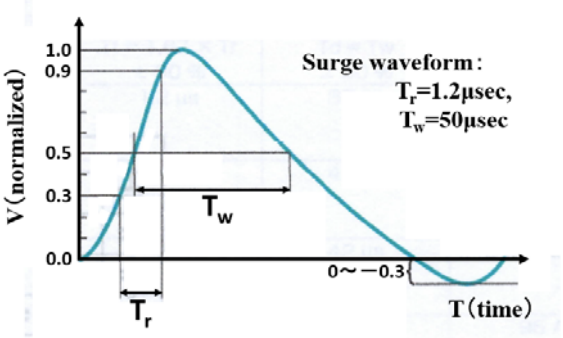

Fig.1　Standard of voltage surge waveform used for surge test

一般的に逆方向耐圧を静特性として測定する際に使用される試験パルス波形と比較して 3 桁程度短いサージ波形であることが特徴である。本試験器はピーク電圧値に関して 0.5～15[kV]の範囲で制御することが可能であり、半導体パワーデバイスの耐電圧定格を十分にカバーして耐量評価を行うことができる。

SiC-SBD と ZnO バリスタ及び比較用に用いた Si-Diode（PiN）はいずれも市販品であり、各々 ROHM 社製・型番：SCS205KG・定格：1.2[kV]、Panasonic 社製・品番：ERZV07D471・バリスタ電圧：0.94[kV]相当（2 直列使用）、VISHAY 社製・型番：VS-20ETS12FP・定格：1.2[kV]である。

試験結果を Table1 に示す。

Table1　List of results at the surge destruction

Power device ※1	Surge absorber device ※2	parameters at surge destruction		
		$V_{p(open)}$ [kV]	T_{rsk} [μsec]	Remarks
Si-Diode	no use	2.8	4.8	Destruction after boost
	used	5.0	～1.2	Destruction during boost
SiC-SBD	no use	2.0	0.6	Destruction during boost
	used	2.5	8.4	Destruction after boost

※1：Breakdown voltage＝1.20[kV]
※2：Valista voltage＝0.94[kV]

ZnO バリスタを使用することでサージ耐量の向上を図れることが確認されたが、その効果は Si-Diode に比較して SiC-SBD の方が相対的に小さい傾向が見受けられる。詳細は当日報告する。

参考文献

1)　秋山 他、JOINT ﾌｫｰﾗﾑ、pp.45-48 (2019)

© 2020年 応用物理学会