

GaN-MOS キャパシタを用いた電圧ストレスによる電子トラップ挙動評価

Evaluation of electron trap behavior by voltage stress using GaN-MOS capacitor

富士電機 ○松山 秀昭、上野 勝典、田中 亮、福島 悠太、稲本 拓朗、高島 信也

Fuji Electric, ○Hideaki Matsuyama, Katsunori Ueno, Ryo Tanaka, Yuta Fukushima,

Takuro Inamoto, Shinya Takashima

E-mail: matsuyama-hideaki@fujielectric.com

1. はじめに パワーデバイスを目指した SiO_2/GaN -MOSFET においてノーマリーオフ出力特性や $100\text{cm}^2/\text{Vs}$ を超える移動度を得ているが、正電圧ストレスによって V_g - I_d 特性にヒステリシスが発生し、 GaO_x 界面層の厚さに関係していた[1]。これは $\text{SiO}_2/\text{GaO}_x$ 界面への電子捕獲と考えられ、 GaN -MOS キャパシタを用いて捕獲電子密度と界面層厚さの関係を調べた。

2. 実験方法 c 面 n-GaN 基板上に MOCVD によりエピ成長した n-GaN 層 ($N_d=2\text{E}+16\text{cm}^{-3}$) に対して、TEOS と酸素ガスを原料とするからプラズマ CVD により SiO_2 絶縁層 (約 100nm) を形成した。 SiO_2 膜の成膜条件を変えて界面層厚の異なる 3 試料を作製した。 SiO_2 層上と基板裏面に Al 電極を蒸着して MOS キャパシタを作製し、熱処理 (H_2 - N_2 中、 400°C) を施した。なお、界面層厚は薄い SiO_2 (約 1nm) を着けた試料を用いて光電子分光分析により評価した[2]。

3. 結果 MOS キャパシタの CV 特性はストレス電圧 ($V_g=30\text{V}$) の印加後に正電圧側にシフトし、界面に負電荷が増えたことがわかる (図 1)。シフト量から捕獲電子密度を試算すると電子密度は GaO_x 層厚とともに増加した (図 2)。電圧シフトが残留する点で異なっているが、MOSFET のヒステリシスと同様の傾向であった。この現象はストレス電圧で傾いた GaO_x 層を電子がトンネルして $\text{SiO}_2/\text{GaO}_x$ の界面準位に捕獲されたと推定している。光照射 ($h\nu=1.2\sim 3.5\text{eV}$) によって捕獲電子を放出させて容量を測定 ($V_g=-2\text{V}$) した[3]。その結果、約 2eV の光で電子放出する深い準位密度が GaO_x 層厚とともに増加しており、ストレス特性の原因がこの捕獲準位と考えられる (図 3)。

謝辞：本研究の一部は総合科学技術・イノベーション会議の SIP (戦略的イノベーション創造プログラム) 「次世代パワーエレクトロニクス」 (管理法人：NEDO) によって実施された。

参考文献：[1] 上野等, 第 79 回応物学会秋季, 18p-PA6-26 (2018). [2] 松山等, 第 79 回応物学会秋季, 18p-PA6-15 (2018). [3] 松山等, 第 79 回応物学会秋季, 18p-PA6-16 (2018).

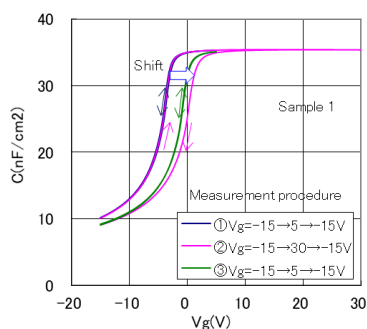


Fig1. Gate voltage shift of CV characteristics by stress voltage

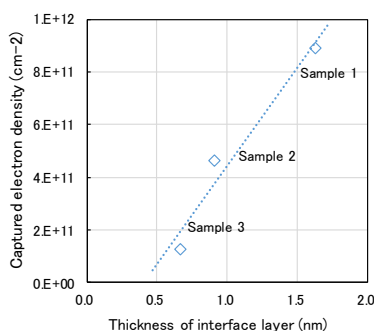


Fig2. Relationship between GaO_x interface layer thickness and captured electron density

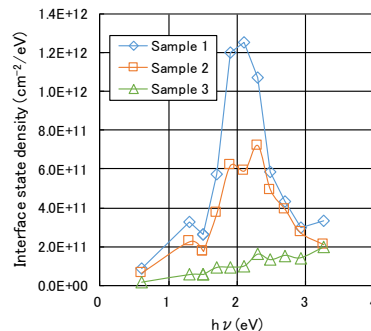


Fig3. Change of $\text{SiO}_2/\text{GaO}_x$ interface state density according to excitation light energy