

FeFET リザーバーコンピューティングにおける強誘電性の効果の検証

Examination of impact of ferroelectricity on reservoir computing using FeFETs

東大工 〇名幸 瑛心, トプサートポン カデット, 王 澤宇, 中根 了昌, 宮武 悠人, 竹中 充, 高木 信一

〇E. Nako, K. Toprasertpong, Z. Wang, R. Nakane, Y. Miyatake, M. Takenaka, S. Takagi

(Univ. Tokyo, School of Engineering)

E-mail: nako@mosfet.t.u-tokyo.ac.jp

【はじめに】我々は、記憶の保持と非線形性が必要なリザーバーコンピューティング (RC) [1]を実現するハードウェアとして、強誘電体 FET (FeFET)をリザーバー部に利用することを提案し、実験的に検証した[2][3]。しかし FeFET のどのようなデバイス特性が RC の計算性能に寄与するかは、まだ明らかになっていない。本研究では、FeFET 特性の強誘電性と RC 性能との関係性を検証するとともに、測定系が RC 特性に及ぼす影響を評価したので報告する。

【実験手法】実験には、TiN/Hf_{0.5}Zr_{0.5}O₂(10nm)/SiO₂ (0.7 nm)をゲートスタックに持つ Si FeFETを用いた。Hf_{0.5}Zr_{0.5}O₂ は、ALD 法により 300 °C で堆積を行い、400 °Cでの熱処理を行なった。今回の実験ではゲート長 10 μm、ゲート幅 100 μm の FeFET を用いた。Fig. 1 に示す通り、入力信号をパルス幅が 2 μs の三角波パルスで構成される入力電圧波形で表現し、ゲート電極に印加した。入力電圧波形に応じて変化する出力電流波形を 10ns 間隔で計測し、得られた電流値を仮想ノードとして用いて望みの出力になるように重みづけを行い学習させた。ここで、Fig. 2 に見られる様に強誘電性は電圧の振幅が大きい時のみ観測される。そこで RC 特性に与える強誘電性の効果を検証するため、十分大きい 3V 振幅の三角波パルスと小さい 1V 振幅の三角波パルスの 2 種類を用いて、RC 特性を比較した。一方、高速測定では測定系の負荷特性の影響で、入力波形自体に僅かに、前の時点での入出力の影響が残ることを見出した。これは測定系が理想的でないことに起因するリザーバーの性能とは無関係な学習効果であることから、リザーバー自身の学習効果を評価するうえで十分注意するべき点である。そこでこの測定系に起因する影響を評価するために入力電圧波形の測定値を用いた学習も行った。RC 性能は入力信号 2000 個を学習に、500 個を検証に用いて Short Term Memory (STM)タスクと Parity Check (PC)タスクで評価した[4]。また、t-SNE 法による学習効果の評価も行った。

【実験結果・考察】異なるゲート電圧振幅での支出力電流と入力電圧を用いた場合の STM タスクと PC タスクの相関係数を Fig.3 に示す。まず、強誘電性の効果を見ると、 $T_{\text{delay}}=1$ では、1V 振幅での出力電流でも学習ができており、これは MOS 界面近傍の電子トラップによる効果と考えられるが、 $T_{\text{delay}}=2$ 以上では、強誘電性を示す 3V 振幅での出力電流によるの学習成績が、STM と PC 共に、1V 振幅の学習成績を大きく上回っている事が分かる。結果として、強誘電性は、短期記憶の保持と非線形性を増進させ、RC 性能の向上に寄与している事が明らかとなった。

次に測定系に起因する RC 学習性能への影響を見ると、入力電圧波形の学習成績は STM においてある程度の記憶を持つものの、PC は全く学習できない事が分かり、PC を見る限りでは、FeFET

のリザーバーの効果に起因した有意な学習が行われている事が確認できる。しかしながら、STM に与える測定系の影響は大きく、RC 性能を検証する上で、十分注意が必要である。Fig. 4 の t-SNE プロットを見ると、3V 振幅の出力電流を用いる事で、およそ 13-14 種の分類分けが可能であること分かり、1V 振幅の出力電流や 3V 振幅の入力電圧よりも、十分に高い RC 計算能力を持つことが明らかに示された。

【結論】FeFET の強誘電性が記憶容量や非線形性などの RC の計算性能を向上させる事が明らかとなった。一方、記憶容量の点では、測定系による影響にも注意を払う必要がある事が分かった。

【参考文献】[1] G. Tanaka *et al.*, Neural Networks **115**, 100 (2019) [2] トプサートポン他、秋季応物学会 19p-F211-4 (2019) [3] 名幸他、秋季応物学会 19p-F211-5 (2019) [4] T. Furuta *et al.*, Phys. Rev. Applied **10**, 034063(2018) [5] van der Maaten, L. *et al.*, J. Mach. Learn. Research **9**, 2579–2605 (2008).

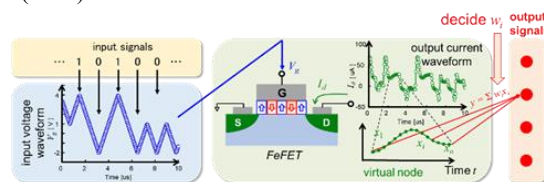


Fig. 1 : Schematic chart of experiments

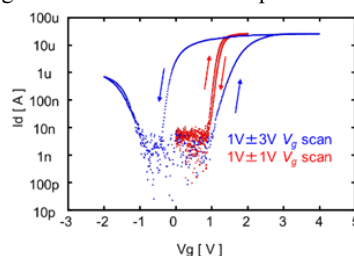


Fig. 2 : Hysteresis of FeFET

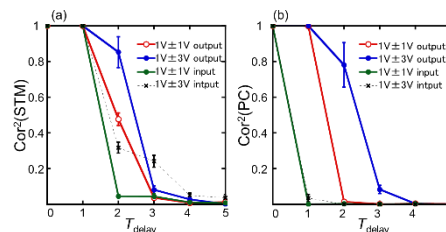


Fig.3 : Experimental result of (a) short-term memory task and (b) parity check task by FeFET reservoir

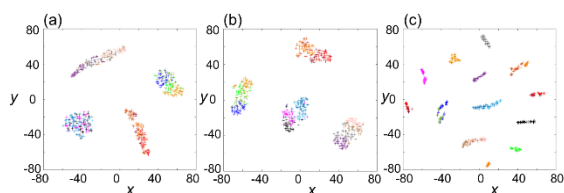


Fig. 4 : t-SNE graph of (a) 1V amplitude output, (b) 3V amplitude input and (c) 3V amplitude output