強誘電体ゲート酸化物チャネル薄膜トランジスタとメモリ応用

Oxide-channel ferroelectric-gate transistors and their memory applications

北陸先端大　　°徳光 永輔

Japan Advanced Institute of Science and Technology,　°Eisuke Tokumitsu

E-mail: e-toku@jaist.ac.jp

【はじめに－歴史的背景－】

強誘電体をゲート絶縁膜に用いた電界効果型トランジスタは、強誘電体ゲートトランジスタ、FeFET などと呼ばれ、その提案は 1957 年に遡る[1]。まだ MOSFET が一般的ではない時代に発案されたことに驚きを覚える。最初の実験報告は 1962 年の報告で[2]で、その後阪大のグループにより検討されている[3]。1980 年代後半から強誘電体キャパシタを用いた不揮発性メモリの研究開発が活性化したが、並行して強誘電体ゲートトランジスタは非破壊読み出しが可能でスケーリングに適した不揮発性メモリ素子として研究された[4-9]。近年では 2008 年の強誘電体の“負性容量“を用いたスティープスロープトランジスタの提案[10]、2011 年の HfO_2 系での強誘電性発見[11]により、再び脚光を浴びている。本講演では、歴史的背景と強誘電体ゲートトランジスタの動作原理を解説した後、筆者らが行ってきた研究について紹介する。

【電荷不整合の問題と酸化物チャネルの利用】

強誘電体をゲート絶縁膜に利用する場合に注意すべきことは、強誘電体の分極量とトランジスタのチャネル電荷量の不整合である。$10^{13}cm^{-2}$ ものチャネルキャリアを仮定してもその電荷量は $1.6\mu C/cm^2$ であるのに対し、強誘電体材料の残留分極は $10\mu C/cm^2$ 以上の値が容易に得られる。従って、強誘電体材料を半導体上に直接堆積した金属/強誘電体/半導体（MFS）構造や高誘電率バッファ層を介した MFIS 構造では、通常強誘電体の飽和分極ではなく、マイナーループを利用することになる。このため抗電圧の 2 倍であるメモリウインドウ（しきい値電圧のシフト幅）は小さくなる。そこで筆者らは酸化物半導体をチャネルに用いて強誘電体の飽和分極を利用することを試みた。インジウム・スズ酸化物（ITO）をチャネルに、強誘電体$(Bi,La)_4Ti_3O_{12}$(BLT)をゲート絶縁膜に用いた薄膜トランジスタを作製したところ、良好なトランジスタ特性と大きなメモリウインドウを得ることができ、印加電圧依存性、ゲート絶縁膜の膜厚依存性から飽和分極を利用できていることを確認した[12,13]。さらにこの結果は、ITO というキャリア濃度の高い導電性酸化物でもチャネルとして利用できることを示している。従ってトランジスタと局所配線を同じ材料で形成することが可能である。筆者らは ITO チャネルの強誘電体ゲート TFT を用いて NAND 型のメモリセル構造を試作し、メモリ書き込み/読み出し動作を確認している[14]。酸化物はまた溶液プロセスとの相性もよい。本講演では、直接ナノインプリントプロセスを用いて、チャネルとソース/ドレインを一括形成した実験結果についても紹介する[15]

【文献】

[1] I. M. Loss, US patent 2791760 (1957)
[2] J. L. Moll and Y. Tarui, IEEE Trans. Electron Devices, **ED-10**, 333 (1963).
[3] Y. Higuma, Y. Matsui, M. Okuyama, T. Nakagawa and Y. Hamakawa, Jpn. J. Appl. Phys. **17**, 209 (1978).
[4] E. Tokumitsu, R. Nakamura and H. Ishiwara, IEEE Electron Device Lett., **EDL-18**, 160 (1997).
[5] Y. Fujimori, T. Nakamura, A. Kamisawa, Jpn. J. Appl. Phys. 38, 2285 (1999).
[6] E. Tokumitsu, G. Fujii and H. Ishiwara, Jpn. J. Appl. Phys. **39**, 2125 (2000).
[7] E. Tokumitsu, K. Okamoto and H. Ishiwara, Jpn. J. Appl. Phys. **40**, 2917 (2001).
[8] K. Aizawa, B-E. Park, Y. Kawashima, K. Takahashi and H. Ishiwara, Appl. Phys. Lett. 85, 3199 (2004).
[9] M.Takahash and S. Sakai, Jpn. J. Appl. Phys., **44**, L800 (2005).
[10] S. Salahuddin and S. Datta, Nanoletters, **8** (2008) 405
[11] T. S. Böscke, J. Müller, D. Bräuhaus, U. Schröder, and U. Böttger, Appl. Phys. Lett., **99,** 102903 (2011).
[12] E.Tokumitsu, M. Senoo and T. Miyasako, J. Microelectronic Eng., **80**, 305 (2005).
[13] T. Miyasako, M. Senoo and E. Tokumitsu, Appl. Phys. Lett., **86**, 162902 (2005).
[14] B. N. Q. Trinh, T. Miyasako, T. Kaneda, P. V. Thanh, P. T. Tue, E. Tokumitsu, and T. Shimoda, Ext. Abst. 2011 Intern. Conf. Solid State Devices and Materials (SSDM), Nagoya (2011) 967-968.
[15] K. Haga, Y. Kamiya, E. Tokumitsu, Jpn. J. Appl. Phys., 57, 02CB14 (2018).

© 2020年 応用物理学会