

PID 劣化多結晶シリコンモジュールの p-n 間直流電圧印加による回復過程

Recovery Process of PID on p-Type-Based-Multicrystalline-Silicon-PV Modules by Application of Reverse-DC Voltage

岐阜大工¹, 産総研² ○傍島 靖¹, Go Sian Huai¹, 橋本 紳吾¹, 清水 健吾¹, 亀山 展和¹,
大橋 史隆¹, 吉田 弘樹¹, 増田 淳², 野々村 修一¹

Gifu Univ.¹, AIST², Yasushi Sobajima¹, Go Sian Huai¹, Shingo Hashimoto¹, Kengo Shimizu¹,
Nobukazu Kameyama¹, Fumitaka Ohashi¹, Hiroki Yoshida¹, Atsushi Masuda², Shuichi Nonomura¹

E-mail: sobajima@gifu-u.ac.jp

結晶シリコン系太陽電池において太陽電池モジュールに 1 kV 超の高電圧印加状態が維持された場合、モジュール内に含まれる Na 等のイオン種が太陽電池内部にまでドリフトすることで発現する発電性能低下、いわゆる電圧誘起劣化(PID, Potential induced degradation) 現象は、大規模発電施設で生じる。同現象の回復手法の確立に向けた研究も進められている。一般的な回復手段は、動作時と逆方向に高電界を印加する方法が知られているが、85 °Cを超える温度、及び 10 h を超えるプロセス時間が必要であり、高速回復技術の開発が求められている。

今回我々は、単結晶シリコン太陽電池の短時間回復技術として報告されている、p-n 接合への逆方向 DC バイアス印加による回復手法の多結晶シリコン(Mc-Si)モジュールへの適用性を評価した。

使用した p 型 Mc-Si 太陽電池(市販品)のセルサイズは 15.6 cm 角である。このセルに対し、バックシート/EVA(エチレン酢酸ビニル共重合樹脂)/Mc-Si セル/EVA/カバーガラスの各部材を構成後、加熱・加圧を行うことで Mc-Si モジュールとした。擬似的に PID 現象を発現させる方法として、炉内温度 85 °C、高電圧 1 kV をカバーガラス-p-n 接合面間に印加する方法(AI プレート法)を用いた。この方法にて必要な変換効率まで加速劣化させたモジュールに対し、p-n 接合間に直流電圧-14 V を印加し性能回復を図った。印加時間は 1 h 程度である。又、回復処理中におけるモジュール表面温度を赤外線カメラにて評価した。モジュール性能は、光照射下及び暗 J-V 特性にて評価した。

図 1 に初期値から 1 割まで出力を劣化させたモジュールなど 3 種に対し、-14 V 印加 1 h 経過後の温度分布を示す。同一条件での電圧印加であるにも関わらず、PID 現象の進行の程度により、温度上昇の程度は異なり、初期出力から 1 割程度まで光電変換性能が低下したモジュールでは、(c)のように表面温度で 100 °C を優に超えた。また、劣化モジュールにおける電圧印加時の温度上昇は均一ではなく、局所的であり、モジュール内の局所劣化部に起因したものと考えられる。PID 加速試験により初期値の 3 割程度の出力まで低下したモジュールに対し、同手法の 1 h 程度の適用により、光電変換性能は 8 割程度まで回復し、同手法が Mc-Si モジュールの PID 回復に有用であることが示唆された。逆 DC バイアス印加による温度上昇とセル内への電界印加とが相まって、Na などのイオンが p-n 接合面から移動し、発電性能回復を果たしたものと考えられる。

【謝辞】本研究は NEDO プロジェクトの一環として行われました。

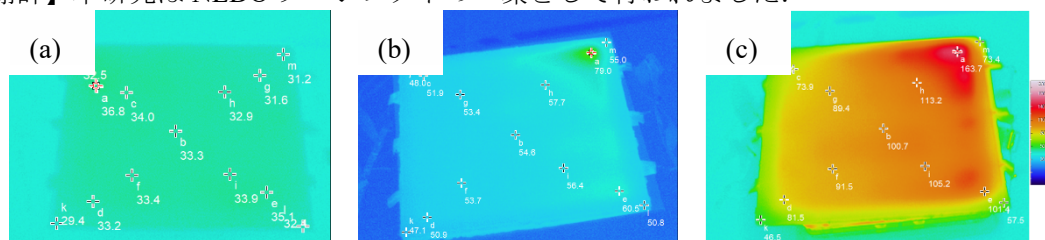


Fig. 1. 劣化割合の異なる Mc-Si モジュールに逆方向 DC バイアス印加 (-14 V) 後 1 h 経過時のサーモグラフィー像, (a) 劣化なし, (b) 初期の 4 割まで出力劣化, (c) 初期の 1 割まで出力劣化.