

超高精細金属配線印刷と半導体塗布製膜の統合による 全印刷 TFT アレイ製造の高速化

Fast and High-Throughput Manufacturing of All-Printed TFT Arrays by Integration of Ultrafine Metal-Wiring Printing and Semiconductor Thin-Film Coating

東大工¹ °井川 光弘¹, 北原 暁¹, 林 太一¹, 松岡 悟志¹, 荒井 俊人¹, 長谷川 達生¹

U. Tokyo¹ °Mitsuhiro Ikawa¹, Gyo Kitahara¹, Taichi Hayashi¹, Satoshi Matsuoka¹, Shunto Arai¹,

Tatsuo Hasegawa¹

E-mail: m-ikawa@ap.t.u-tokyo.ac.jp

われわれは各種電子デバイスの基本構成要素である TFT アレイを、常温・常圧下における塗布のみを用いて高均質かつ高生産に印刷製造するための基盤技術の開発に取り組み、これまでに、金属電極配線と有機半導体層のそれぞれについて独自の印刷法を開発してきた。今回、超高精細な電極配線を印刷できるスーパーナップ法[1]と、高均質なポリマー半導体層を塗布製膜できるプッシュコート法[2]を統合することにより、全印刷による高精細な有機 TFT アレイ (サイズ 5.5inch、解像度:300ppi、素子構造:ボトムゲート・ボトムコンタクト型) の試作とその高スループット化に成功したので報告する。

作製したデバイス構成と得られた TFT アレイの写真をそれぞれ Fig.1、2 に示す。ゲート電極及びソース/ドレイン電極パターン形成にはいずれもスーパーナップ法を用い、またゲート絶縁層には電極パターンングで用いられる Cytop®をそのまま用いた。これにより良好な絶縁性と高いデバイス安定性を確保しつつ、プロセス全体の大幅な簡易化を達成することが可能であった。半導体にはポリマー半導体・PDVT-10 を用いて、プッシュコート法によりベタ膜を製膜し、反転印刷法によりパターン形成を行ったのちに、電極パターン上に転写した。作製した TFT アレイ近傍の Teg 素子のデバイス特性を Fig.3 に示す。移動度は平均で $0.45\text{cm}^2/\text{Vs}$ であった。従来試みられてきた多くの印刷法では、製膜後の高温・長時間ベークが必須であり性能や生産性を落とす主因となってきたが、今回の製法ではこれらをいずれも回避でき、全体で 1 時間程度の簡易プロセスにより高精細 TFT アレイを製造できた。講演では、得られた TFT アレイの性能分布等の詳細を報告する。

[1] Yamada et al. Nat. Commun. (2016). [2] Ikawa et al. Nature Commun. (2012).

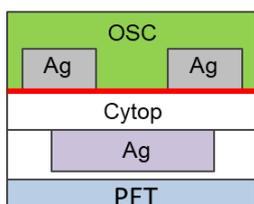


Fig.1 Scheme of the fabricated device structure.

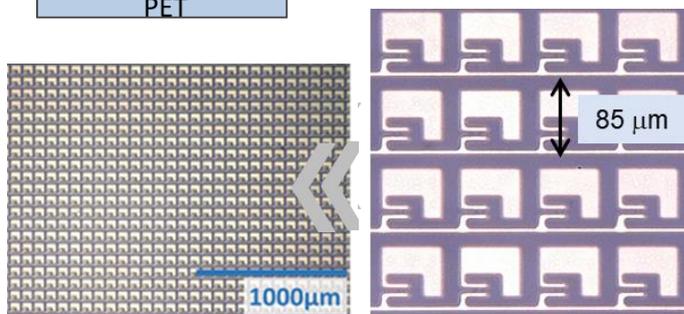


Fig.2 Micrograph of all-printed TFT array.

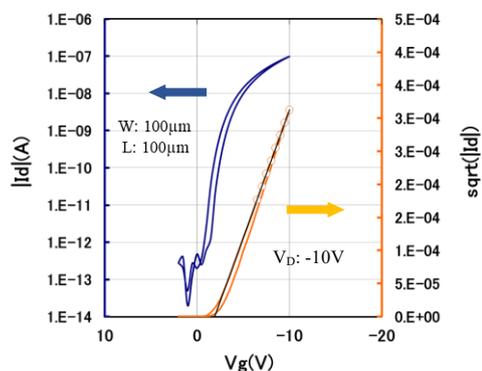


Fig.3 Transfer characteristics of the printed TFT.