

## SiN キャップ層高温熱処理により GaN 表面付近に導入される 電子トラップの深さ方向分布の熱処理時間依存性

Depth profiling of deep-level traps in GaN introduced by high-temperature thermal treatment  
with SiN cap layer

名大院工<sup>1</sup>、名大未来研<sup>2</sup>、豊田合成<sup>3</sup>

◦古田 悟夢<sup>1</sup>、堀田 昌宏<sup>1,2</sup>、田中 成明<sup>3</sup>、岡 徹<sup>3</sup>、須田 淳<sup>1,2</sup>

Nagoya Univ.<sup>1,2</sup>, Toyoda Gosei<sup>3</sup> ◦S. Furuta<sup>1</sup>, M. Horita<sup>1,2</sup>, N. Tanaka<sup>3</sup>, T. Oka<sup>3</sup>, J. Suda<sup>1,2</sup>

E-mail: furuta.satomu@h.mbox.nagoya-u.ac.jp

イオン注入の活性化やプラズマエッチングなどのダメージの回復のために高温熱処理(アニール)が行われる。高温熱処理には欠陥低減効果が期待される一方、新たな欠陥生成の恐れもある。前回、我々のグループはn型GaNホモエピタキシャル成長層に対してSiNキャップ層を形成後に高温熱処理を行うと、GaN表面から深さ方向に向かって密度が減少していくような分布を持った欠陥(電子トラップ)が導入されることを見出し、SiN/GaN界面から導入された欠陥が熱処理温度や時間が増すごとに深さ方向に拡散している可能性を提案した<sup>[1]</sup>。今回、熱処理の温度を一定として、熱処理時間を細かく変えた試料を用意し、評価することで熱処理時間に対する欠陥の挙動を詳しく調べたので報告する。

HVPE成長n型GaN基板上にMOVPE法により実効ドナー密度 $2\sim 3\times 10^{15}\text{ cm}^{-3}$ のn型ホモエピタキシャル成長層を15 $\mu\text{m}$ 成長した試料を用意した。スパッタ法によりSiN膜を形成し、N<sub>2</sub>雰囲気中1150°Cで様々な時間条件(30s, 1min, 2min, 4min)において熱処理を行った。その後フッ酸によりSiN膜を除去、NiをEB蒸着して表面にショットキー電極、裏面にオーミック電極を形成した。それぞれの試料に対してDLTS測定を行い、観測されたトラップに対して深さ方向分布の測定を行った。

Fig. 1にAs-grownと1150°C 4minの熱処理試料におけるDLTS測定結果を示す。熱処理を行った試料では2つの電子トラップ(ET1、ET2)が100K付近で観測された。それぞれのトラップに対して、深さ方向分布の測定を行った。例として、ET1トラップの分布をFig. 2に示す。熱処理時間が増すごとに分布の傾きが緩やかになり、表面からより深い領域までトラップが分布する傾向にあり、このことからSiN/GaN界面付近から導入された欠陥の熱処理による深さ方向への拡散が明確に確認された。

[1]古田 他, 第66回応用物理学会春季学術講演会 11a-M121-9(2019)

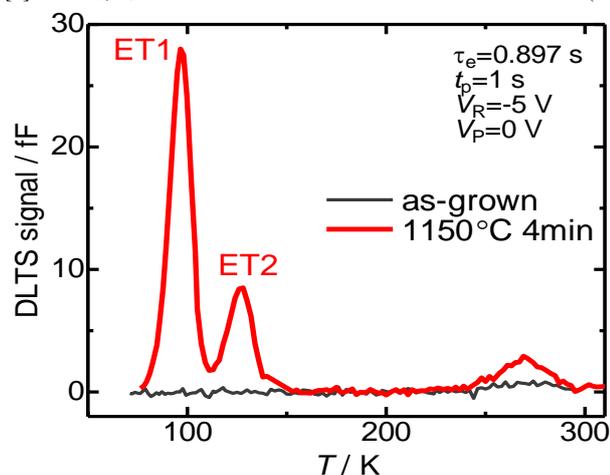


Fig.1: DLTS spectra of thermal treated and as-grown samples.

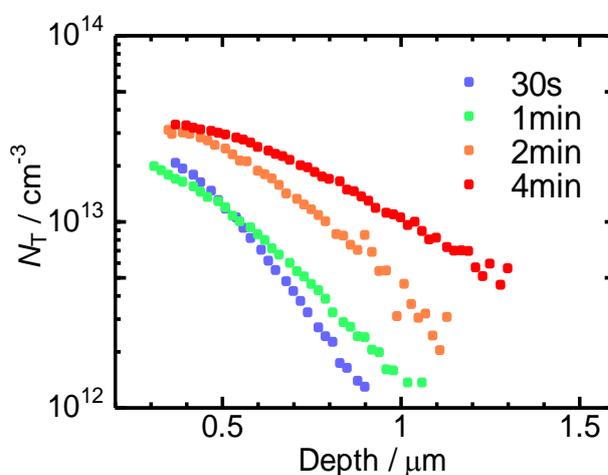


Fig. 2: Depth profiles of ET1.