

理科室で構築する工学教育用半導体デバイス設計製作評価環境

Nanotech Platform Established for Average Technical Education Science Laboratories

香川高専¹, 徳島文理大², 香川大³, 大阪市大⁴ ○長岡 史郎¹, 山本 雅史¹, 鹿間 共一¹, 清水 共¹,
ジョンストン ロバート¹, 松田 和典², 下川 房男³, 堀邊 英夫⁴

NTT, Kagawa College¹, Tokushima Bunri Univ.², Kagawa Univ.³, Osaka City Univ.⁴

°Shiro Nagaoka¹, Masashi Yamamoto¹, Tomokazu Shikama¹, Tomo Shimizu¹, Robert Johnston¹,
Kazunori Matsuda², Fusao Shimokawa³, and Hideo Horibe⁴

E-mail: nagaoka@es.kagawa-nct.ac.jp

緒言: 様々な分野において拡大を続ける IoT に対応するため、ハードウェアの基礎となるデバイスに関する理論と実践の両方を実現できる教育が求められている。これを実現する為には、プログラミングや電気、電子回路の講義や実験と同様、デバイス物理を学びながら実際にデバイスを設計製作評価できる環境が必要である。しかし、大がかりな設備が必要となること、操作に専門知識が必要になる等の理由のため、特に早期教育の実現に障害になっていた。そこで、特別な装置を用いることなく、実際に半導体デバイスを設計製作評価できる環境、「理科室で構築するナノテクノロジープラットフォーム」を提案し、デバイス作製の要素技術である、リソグラフィ、不純物拡散、絶縁層作製、電極作製を可能にするための基礎的検討を行ってきた[1]。ここでは、実現可能性を実証したのでその結果について報告する。

実験: デバイスは、リソグラフィ工程を繰り返して作製される。リソグラフィでは、回路パタンの高い位置合わせ精度を実現するとともに、工程の簡略化も同時に実現する必要がある。これを実現するため、フォトマスク自体とその上に作製したマスクパタンの位置関係が複数のマスク間で同じになるように作製したフォトマスクを用い、ピンアライメントの手法を用いることでマスクパタンの位置合わせの必要のないリソグラフィ方法を提案した。図1にこのリソグラフィ、「パターンアライメントレスリソグラフィ(PALL)」の原理図を示す。また、絶縁膜の作製、シリコンのp型、n型制御及び電極作製は、大気環境下における熱処理により行った。不純物制御には、リンとボロンを含む Sol-Gel 剤により作製した PSG (Phosphorus Silicate Glass) 及び BSG(Borosilicate Glass)薄膜を用いて、また電極の作製は、銀を含む電極ペーストを用いたプロセスを考案し、プロセスの簡素化を図った。さらに評価環境は、PC と PC からの USB 給電で動作可能なアナログ・デジタル回路解析ツールを用いて構成した。

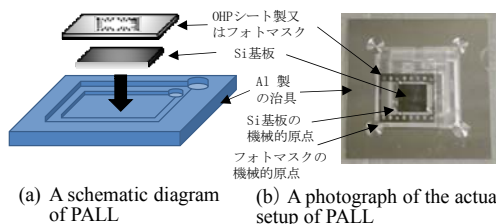


Fig.1 A schematic diagram of PALL process and an actual setup for the photo lithography

結果と考察: 図2に作製した MOS FET と電流電圧特性の例を示す。PALL により正確なパターン位置合わせが実現できていることがわかる。大気環境下で作製した熱酸化膜は絶縁層として十分に機能し、不純物濃度制御も実現できていることがわかる。また、電極ペーストにより真空環境を用いなくても電極作製が可能であることを実証した。詳細は発表で説明する。さらに、光源等の制御を行い、太陽電池の電流電圧特性の測定が可能な評価システムを作製し、実際に機能することを実証した。図3に概要を示す。これはプログラミングの学習ツールとしても有用である。以上の結果から、簡素化したリソグラフィ方法により、フォトマスクの設計製作改善を自分で行い、デバイスの設計製作評価全てを理科室の様な実験室で特別な装置を用いることなく実施できる環境を構築できることを実証した。

謝辞: 本研究の一部は、科研費 19K0454301 及び 19K044780 の助成を受けたものである。

[1] K. Kai et al., American Institute of Physics, Vol.1733, pp020095-1-020095-4, 2016.

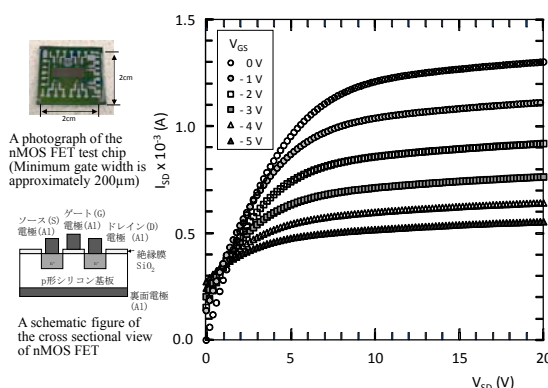


Fig. 2 A typical I_{DS} - V_{DS} property of the nMOS FET fabricated by the simplified process under the specially designed simplified circumstance, "Nanotech platform established for Average Technical Education Science Laboratories"

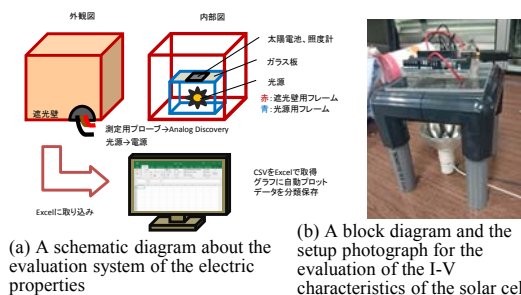


Fig. 3 A schematic diagram of the evaluation system