

メモリデバイス向け機能性酸化膜とそのプロセス技術

Functional Oxide Films and Their Process Technologies for Memory Devices

(株) KOKUSAI ELECTRIC ○坪田 康寿、鎌倉 司、門島 勝、芦原 洋司、由上 二郎

KOKUSAI ELECTRIC, °Y. Tsubota, T. Kamakura, M. Kadoshima, H. Ashihara, J. Yugami

E-mail: tsubota.yasutoshi@kokusai-electric.com

メモリデバイスには種々の機能性酸化膜が用いられており、メモリデバイスの進化と共にその機能性酸化膜を成膜するプロセス技術も進歩することが求められている。

Fig.1 にメモリデバイス向けの機能性酸化膜を例示した。Emerging Memory 向けの強誘電体酸化膜材料や金属酸化膜材料、種々の High-k 材料の登場による多様化だけでなく、SiO₂ から SiON や SiON/SiO₂ への変更など、その用途に応じて多種多様化している。

メモリデバイスの一例として 3D-NAND に着目すると、そのメモリセルの微細化と積層数の増加によって大容量化を進めており、この傾向は今後も続く予想されている[1]。又、Fig.2 は、横軸にメモリセルの積層数を取り、縦軸にそのパターンウェハの成膜表面積比（対ウェハ）（左縦軸）と成膜アスペクト比（右縦軸）の予想値を示している。積層数 200 層では、成膜表面積 200 倍、成膜アスペクト比 200 に達すると予想される。このことはウェハ上のパターンの隅々まで均一に膜質良く成膜することが益々困難になることを意味している。

このメモリセルの微細化と積層数増加に伴う成膜プロセスの課題は、前述の成膜表面積と成膜アスペクト比の増大に加えて、成膜種の多様化、組成制御の高精度化、薄膜化、低温化などが挙げられ、更にこれらを満足しながら低コスト・高スループットで成膜することが求められている。

これらの要求に対する解決策として、例えば、所望の膜質で均質に一括処理するバッチ成膜技術や、低温化や薄膜化に伴う膜質低下を補うキュア処理技術などが開発されている。

本講演では、良質な機能性酸化膜を生産性良く形成するプロセス技術と成膜プラットフォームについて紹介する。

<参考文献>

- [1] IRDS. Int'l Roadmap Dev Sys More Moore, 5.2. NVM-Flash, 2018.

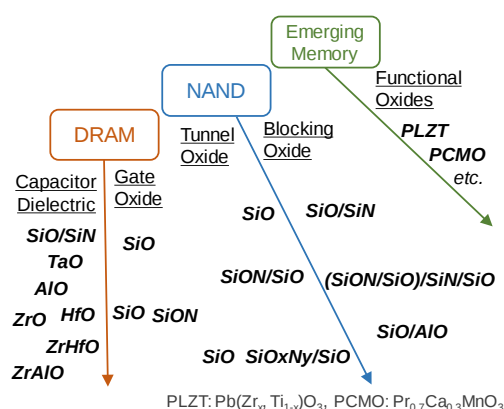


Fig. 1 Oxide Films for Memory Devices

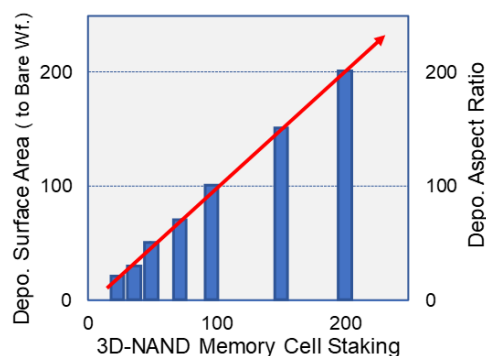


Fig. 2 3D-NAND Cell Staking Trend