

高性能 Si 太陽電池モジュールで観測される電圧誘起劣化

Potential-Induced Degradation Observed in High-Efficiency Si Photovoltaic Modules

北陸先端大¹, 産総研² °大平 圭介¹, 山口 世力^{1,*}, 増田 淳²

JAIST¹, AIST², °Keisuke Ohdaira¹, Seira Yamaguchi^{1,*}, Atsushi Masuda²

E-mail: ohdaira@jaist.ac.jp

【はじめに】電圧誘起劣化(PID)は、太陽電池モジュールの Al フレーム-セル間の電位差が原因で発現する性能低下であり、特に大規模太陽光発電所において、その問題が顕在化している。結晶 Si 太陽電池モジュールの PID は、セル構造ごとに挙動および機構が異なることが知られている。基板に n 型 Si を用いた太陽電池は、p 型 Si を用いたものより一般に発電性能が高く、今後の普及拡大が期待されているが、一方で、その PID に関する先行研究は少ない。本講演では、著者らがこれまで解明してきた n 型結晶 Si 太陽電池モジュールの PID について概説する。本稿では、特にフロントエミッタ型、Si ヘテロ接合型の二種の成果について紹介する。

【フロントエミッタ型】負電圧の PID ストレスにより、窒化 Si 膜に正電荷が蓄積し、表面再結合速度が増大することで短絡電流密度(J_{sc})と開放電圧(V_{oc})が低下することが先行研究で知られていた[1]。この劣化・回復挙動を詳細に調査することで、正電荷の起源が窒化 Si 中の K^+ センターであると考えれば、現象を矛盾なく説明できることを明らかにした[2,3]。また、PID 試験を継続することで、曲線因子(FF)が低下する現象を新たに確認した[4]。この FF 低減は、p 型モジュールで見られる並列抵抗低減ではなく、ダイオード理想因子の増大が主要因である。さらに長時間の PID 試験を行うことで、 V_{oc} と FF のさらなる低下も観察した[4]。この第三段階目の劣化は、Na 含有ドーム状構造の形成による、窒化 Si 膜および p-n 接合の破壊が原因である[5]。

【Si ヘテロ接合型】負電圧印加により、 J_{sc} の低下に特徴づけられる PID が、まず発現する[6]。この J_{sc} の低下は、透明導電膜である IWO 膜中の In が金属 In に還元され、IWO の光透過性が低下するために起こることを明らかにした[7]。また、さらに PID 試験を継続すると、 V_{oc} の低下も起こる[7]。Na 侵入による非晶質 Si のパッシベーション性能低下が原因と考えられる。

【謝辞】本研究は、NEDO の委託により実施された。また、本研究に協力いただいた、中村京太郎先生（豊田工大）、山本千津子氏（産総研）、原由希子氏（産総研）、城内紗千子先生（産総研、現新潟大）、大野裕先生（東北大）および北陸先端大の修了生、学生に感謝致します。

【参考文献】 [1] K. Hara et al., Sol. Energy Mater. Sol. Cells 140, 361 (2015), [2] S. Yamaguchi et al., Appl. Phys. Express 9, 112301 (2016), [3] S. Yamaguchi et al., Jpn. J. Appl. Phys. 57, 122301 (2018), [4] Y. Komatsu et al., Microelectron. Reliab. 84, 127 (2018), [5] K. Ohdaira et al., Appl. Phys. Express 12, 064004 (2019), [6] S. Yamaguchi et al., Sol. Energy Mater. Sol. Cells 161, 439 (2017), [7] S. Yamaguchi et al., Prog. Photovolt. Res. Appl. 26, 697 (2018).

*現所属：豊田工業大学