単結晶および多結晶 Si ナノワイヤを用いたプレーナ型熱電発電素子の性能比較

Performance Comparison between Single- and Poly-crystalline Si Nanowire for Planar Thermoelectric Generator

早大理工 [1], 静大 [2], 産総研 [3], ○富田 基裕 [1], 武澤 宏樹 [1], 目崎 航平 [1], 五井 悠仁 [2], 池田 浩也 [2], 猪川 洋 [2], 松川 貴 [3], 松木 武雄 [1,3], 渡邉 孝信 [1]

Waseda Univ.[1], Shizuoka Univ.[2], AIST[3], °M. Tomita[1], H. Takezawa[1], K. Mesaki[1], Y. Goi, H[2]. Ikeda[2], H. Inokawa[2], T. Matsukawa[3], T. Matsuki[1,3], and T. Watanabe[1]

E-mail: tomita_motohiro@watanabe.nano.waseda.ac.jp

【はじめに】環境中の熱エネルギーを利用するエナジー・ハーベスティング技術として、CMOS技術と親和性が高い Si ナノワイヤ(NW)を用いた熱電発電素子(TEG, Thermoelectric Generator)の開発が進められている。我々はこれまで、SOI ウェハ上に Si-NW を空中架橋せず直接置いた TEG を考案し、単段 TEG によって NW を短くすることで発電密度が向上することを確認した[1]。

SOI 上に作製した Si-NW は単結晶 Si(SC-Si)であるが、電気伝導率は劣るもののゼーベック係数が高く、熱伝導率が低い多結晶 Si(Poly-Si)も材料の候補として有力である。しかし、我々の提案したプレーナ型構造において、どちらの材料が優れているのかは不明であった。そこで本研究では、SC-Si および Poly-Si を用いたプレーナ型熱電発電素子を作製し、発電性能の比較を行った。

【実験】サブμmのSi-NWを用いた熱電発電素子を、SOI基板(SOI厚50nm、SiO_2厚145nm, Si基板厚745μm)および薄膜Poly-Si基板(Poly-Si層厚50nm、SiO_2厚145nm, Si基板厚745μm)上に作製した(Fig. 1)。Si-NWの幅は65nm、長さは1.00μmである。Si-NWは2つのSi-Padの間に、周期500nmで80本並列に接続されている。Si-NWおよびSi-Padはともにn型で、P^+をエネルギー10keV、ドーズ5.0 x 10^{15} cm^{-2}で注入した。

その後、Siパッド上にTi層10 nm、TiN層30 nm、Al層400 nmの順番で成膜、パターニングすることで電極を形成した。TEG同士は幅2μmのS字状のAl配線によって直列接続されており、その段数は18段である。熱電変換評価におけるヒーターとステージの温度差(ΔT)は5, 10, 15Kとした。

【結果】Fig. 2および3にSOI基板と薄膜Poly-Si基板上に作製した熱電変換素子の開放電圧と最大発電力の温度特性を示す。Poly-SiはSOIに比べて1.5~1.7倍の開放電圧と0.5~0.8倍の発電力が得られることがわかった。同一基板内に作製したゼーベック係数、熱伝導率、電気抵抗率を測定するテストデバイスにより評価した書くパラメータをTable Iに示す[2]。

仮に全ての熱がSi-NWを通っていたとすると、Poly-SiはSOIに比べてゼーベック係数が約1.65倍であり、Si-NW両端の温度差が約1.5倍つきやすいことから約2.5倍の開放電圧が観測されるはずである。しかし、我々が提案したプレーナ型構造ではSi-NWがSiO_2層上に直に接しているため、基板やSiO_2層を通じた熱の流れが温度差を形成する主原因となり、Siナノワイヤ部分の熱伝導率が温度差形成にほとんど寄与しておらず、ゼーベック係数の約1.65倍という差が開放電圧の差に現れたと考える。

熱電変換素子の最大電力は開放電圧の2乗に比例し、電気抵抗に反比例する。Poly-SiはSOIに比べて電気抵抗率が約2.6倍なので、最大発電力はPoly-SiとSOIでほぼ等しくなるはずである。しかし、実際の熱電発電素子の電気抵抗を測ったところ、Poly-SiとSOIではそれぞれ4.4kΩと0.72kΩという値が得られた。これは、配線とSiが接している部分のコンタクト抵抗がPoly-Siのほうが大きいからである。以上の結果から、素子の電気抵抗を低減すれば、Poly-Siを用いたプレーナ型構造でもSOIと同等の発電力が得られる可能性を示せたと考える。

【謝辞】なお、本研究は、JST-CREST (JPMJCR19Q5)により補助を受けて実施された。

[1] M. Tomita et. al., IEEE Trans. Electron Devices **65** (2018) 5180.
[2] Y. Goi, et al., JSAP Spring meeting, 9p-W371-13 (2019).

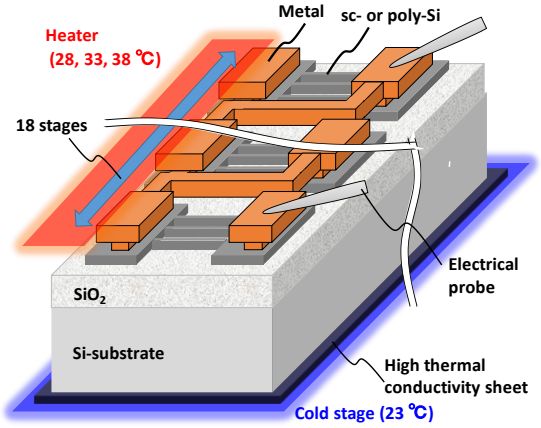

Fig.1 Schematic of multi-stage unileg planar TEG with using SOI and poly-crystal-Si (poly-Si) wafer.

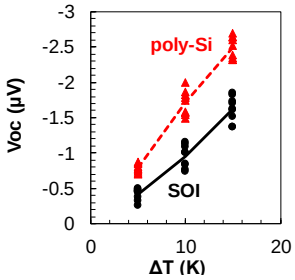

Fig.2 External temperature (ΔT) dependence of open circuit voltage (Voc).

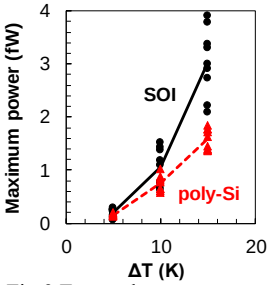

Fig.3 External temperature dependence of maximum power.

Table I Evaluated parameters of Poly-Si and SOI.[2]

	Poly-Si	SOI
Seebeck coeff. (μV/K)	121	73
Thermal cond. (W/mK)	10	15
Resistivity (mΩcm)	2.0	0.47

© 2020年 応用物理学会