

# 縦型 2DHG ダイヤモンド MOSFET パワーデバイス応用に向けた大電流動作(-3.4 A)の実現

## Vertical-type 2DHG Diamond MOSFET Realization of large current operation (-3.4 A) for power device applications

早大理工<sup>1</sup>, 早大材研<sup>2</sup>

○(B)新倉 直弥<sup>1</sup>, 岩瀧 雅幸<sup>1</sup>, 西村 隼<sup>1</sup>, 堀川 清貴<sup>1</sup>, 天野 勝太郎<sup>1</sup>

平岩 篤<sup>1</sup>, 川原田 洋<sup>1,2</sup>

Waseda Univ.<sup>1</sup>, Kagami Memorial Research Inst. for Materials Science and Tech.<sup>2</sup>

○Naoya Niikura<sup>1</sup>, Masayuki Iwataki<sup>1</sup>, Jun Nishimura<sup>1</sup>, Kiyotaka Horikawa<sup>1</sup>, Syotaro Amano<sup>1</sup>  
Atsushi Hiraiwa<sup>1</sup>, Hiroshi Kawarada<sup>1,2</sup>

E-mail: [n\\_niikura@akane.waseda.jp](mailto:n_niikura@akane.waseda.jp)

パワーエレクトロニクスの発展には低オン抵抗のデバイスの開発が必要不可欠である。縦型デバイスは横型デバイスと比べ集積化、低オン抵抗化の点で有利となっており、我々は C-H 終端構造及び高温 ALD-Al<sub>2</sub>O<sub>3</sub> により誘起される 2 次元正孔ガス(2DHG)を用いた縦型 2DHG ダイヤモンド MOSFET<sup>[1]</sup>を作製し、低オン抵抗(3.2 mΩ cm<sup>2</sup>)<sup>[2]</sup>、大電流動作(-1.6 A)<sup>[3]</sup>を報告してきた。現在 SiC, GaN などワイドバンドギャップ次世代 n 型パワーデバイスにて大電流、低オン抵抗なデバイスの開発が行われ高効率な電力変換素子を開発するため、縦型ダイヤモンド MOSFET のさらなる大電流動作を目指す必要がある。本研究のデバイスでは大電流動作の実現のため、ゲート幅(W<sub>G</sub>)を最大 100 mm まで増加させ、またデバイスの低抵抗化のため微細化等構造の改善を行った。結果ゲート幅 100 mm にて最大ドレイン電流-3.4 A(@V<sub>DS</sub>: -20 V)を実現した。

今回作製したデバイスの断面図と光学顕微鏡写真を図 1 に示す。トレンチは長さ 60 μm、幅 2.5 μm としトレンチ 1 つ当たりのゲート幅 W<sub>G</sub> はトレンチの外周で定義した。トレンチの個数を 1~400 個で変化させデバイス 1 つ当たりの最大ゲート幅は 50 mm となっている。ゲートはオーバーラップ構造を取っておりソースゲート間距離、ゲートトレンチ間距離は共に 0 μm であり低抵抗化を図った。

図 2 にゲート幅 50 mm のデバイス 2 つを並列接続したゲート幅 100 mm におけるデバイスの I<sub>DS</sub>-V<sub>DS</sub> 特性を示す。V<sub>DS</sub>: -20 V, V<sub>GS</sub>: -20 V にて最大ドレイン電流-3.4 A を実現した。大電流動作の実現についてはゲート幅の増加、微細化に伴う低抵抗化、またソース電極の幅増加によるソースの配線抵抗の低抵抗化などが寄与していると考えられる。またゲート幅 10 mm のデバイスにおいてダイヤモンド FET 初となる最大ドレイン電流 1A(@V<sub>DS</sub>: -20 V)を確認した。図 3 にゲート幅(W<sub>G</sub>)増加に対するオン抵抗 R<sub>ON</sub> とドレイン電流 I<sub>DS</sub> の関係性を示す。W<sub>G</sub>: 20 mm 以下では W<sub>G</sub> の増加に対するドレイン電流の増加は 0.133 A/mm 程度であったが、W<sub>G</sub>: 20 mm 以上ではドレイン電流の増加率は約 1/10 となっていることが確認できる。これは W<sub>G</sub> の増加に伴い、ソースの配線抵抗と基板抵抗の割合が大きくなってしまったことが原因だと考えられる。ソース電極の膜厚を増加させることで断面積が広がり配線抵抗が減少すると考えられる。以上の結果より縦型ダイヤモンド MOSFET にて大電流動作が実現され、相補型インバータ等パワーデバイスへの応用が期待される。

[謝辞]学際・国際的高度人材育成ライフィノベーションナノ材料創製共同研究プロジェクト(文科省)及び文部科学省ナノテクノロジープラットフォーム事業(NIMS 微細加工プラットフォーム)の支援を得た。

[1] N. Oi, H. Kawarada et al., Sci.Rep. 8, 10.1038 (2018) DOI: [10.1038/s41598-018-28837-5](https://doi.org/10.1038/s41598-018-28837-5)

[2] M. Iwataki, H. Kawarada et al., IEEE. 41, 1. (2020) DOI: [10.1109/LED.2019.2953693](https://doi.org/10.1109/LED.2019.2953693)

[3] 西村, 川原田他 第 66 回応用物理学会春季学術講演会予稿集, 11p-M113-3

[4] T.Oka et al., IEEE. ISPSD.301-306. (2019) DOI: [10.1109/ISPSD.2019.8757621](https://doi.org/10.1109/ISPSD.2019.8757621)

[5] Y.Saitoh, Y.mikamura et al., JJAP. 58, SBBD11. (2019) DOI:10.7567/1347-4065/aaffba

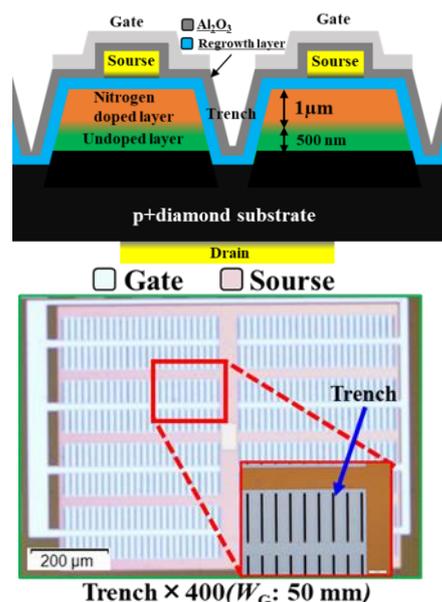


図 1. デバイス断面図, 光学顕微鏡写真

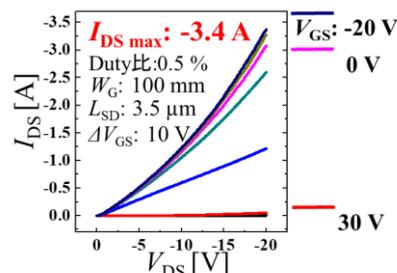


図 2. I<sub>DS</sub>-V<sub>DS</sub> 特性 @ W<sub>G</sub>: 100 mm

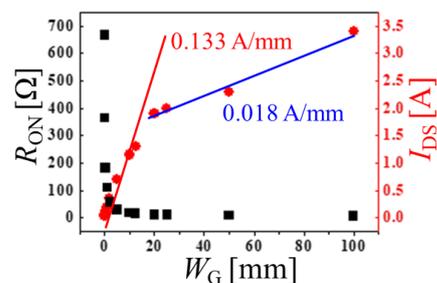


図 3. ゲート幅の増加に対するオン抵抗、ドレイン電流の関係性