

様々な条件で作製した GaN 縦型トレンチ MOSFET の反転チャネル移動度

Investigation of inversion channel mobility in GaN vertical trench MOSFET

°K. Nam¹, T. Ishida^{1,2,3}, M. Matys², T. Kachi², J. Suda^{1,2}

名大院工¹, 名大 未来材料・システム研究所², トヨタ自動車³

Nagoya Univ.¹, Nagoya Univ. IMASS², Toyota Motor Corporation³

E-mail: nam.kyung.pil@h.mbox.nagoya-u.ac.jp

高性能 GaN 縦型トレンチ MOSFET を実現するためには、トレンチの界面特性やチャネル移動度の改善が重要である。SiC MOSFET に関してはチャネルの散乱要因及び散乱機構については多く報告されているが、GaN MOSFET の報告は少ない。そこで本研究では、GaN 縦型トレンチ MOSFET でのチャネル移動度の散乱機構や界面特性の影響について調べたので報告する。

HVPE 成長 n 型 GaN 基板の上に MOVPE 法により n-GaN ドリフト層 ($[Si]=3 \times 10^{16} \text{ cm}^{-3}$)、p 型ボディ層 ($[Mg]=4 \times 10^{16} \text{ cm}^{-3}$)、n 型ソース領域 ($[Si]=6 \times 10^{18} \text{ cm}^{-3}$) を成長したウエハ上に GaN 縦型トレンチ MOSFET と $\text{SiO}_2/\text{n-GaN}$ キャパシタを作製した。トレンチの形成は ICP-RIE により行い、バイアスパワー 30 W でエッチングした試料 (Conventional)、エッチング後 TMAH 処理をした試料 (Conventional+TMAH)、バイアスパワー 30 W でエッチングを行い、続けて 30 W 以下の弱いパワーで二段階エッチングを行った試料 (Multistep) の三つの方法で作製した試料を用意した。トレンチ形成後、ALD 法により 70 nm の SiO_2 ゲート絶縁膜を成膜し、ゲート電極としては p⁺ poly-Si を用いた。

Fig.1 に縦型トレンチ MOSFET におけるチャネル移動度を示す。 μ_{FE} はゲート電圧が増加することにつれて、増加し飽和する傾向を確認した。各移動度の成分を抽出し、散乱機構の解析を行った。これより、低電界の領域ではクーロン散乱が支配的であることが分かった。

クーロン散乱の要因を調べるため、トレンチ底部に作製した MOS キャパシタで C-V 測定を行った。Fig.2 に、トレンチ底部の C-V のフラットバンド電圧から見積もった固定電荷と縦型トレンチ MOSFET のチャネル移動度から見積もったクーロン移動度 ($V_g=10 \text{ V}$) の関係を示す。これより、固定電荷が少ないほどクーロン移動度が上がることを確認した。

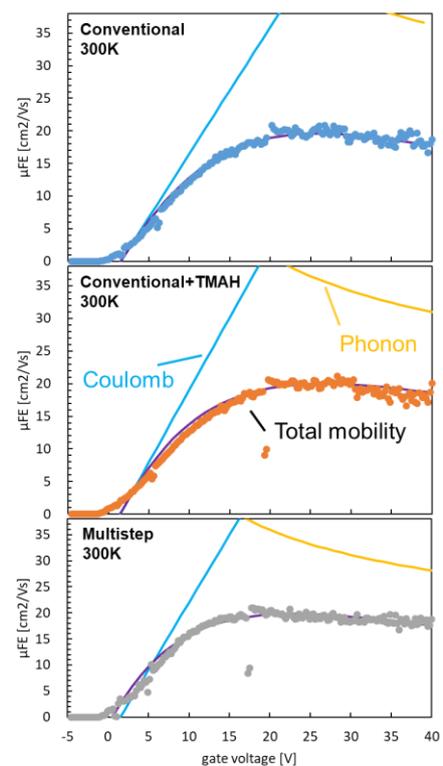


Fig. 1 gate voltage dependence of μ_{FE} of GaN vertical trench MOSFET

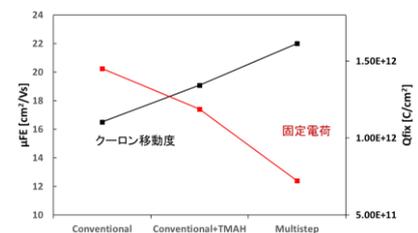


Fig. 2 The relationship between Coulomb mobility and fixed charge

【謝辞】 本研究は文部科学省「省エネルギー社会の実現に資する次世代半導体研究開発」の委託を受けたものです。