

スパッタ法により成膜した n+GaN のトレンチ MOSFET ソース領域への適用検討

Study on sputtered n+GaN for fabricating source regions of trench MOSFETs

名大 未来材料・システム研究所¹, トヨタ自動車², 名大院工³, アルバック⁴,○石田 崇^{1,2,3}, 篠崎 哲也⁴, 白井 雅紀⁴, 高澤 悟⁴, 須田 淳^{1,3}, 加地 徹¹Nagoya Univ. IMASS¹, Toyota Motor Corporation², Nagoya Univ.³, ULVAC⁴,○Takashi Ishida^{1,2,3}, Tetsuya Shinozaki⁴, Masanori Shirai⁴, Satoru Takasawa⁴, Jun Suda^{1,3}, Tetsu Kachi¹E-mail: tishida@imass.nagoya-u.ac.jp

【はじめに】次世代パワー半導体素子として期待される縦型 GaN トレンチ MOSFET の低オン抵抗化を実現するためには、ソース領域のコンタクト抵抗およびシート抵抗を低減する必要がある。従来、縦型 GaN トレンチ MOSFET のソース領域形成方法としては、エピ成長および Si イオン注入が用いられている。しかしながら、エピ成長ではソース領域下の p-GaN の脱水素が難しいこと[1]、Si イオン注入では p-GaN への注入ダメージが問題となり得る[2]。そこで我々は、上記問題を解決すべく、スパッタ法によるソース領域形成を検討したのでその進捗を報告する。

【実験】試料は、自立 n+GaN 基板上に MOVPE 法にて、n-GaN(Si: $3 \times 10^{16} \text{cm}^{-3}$, $5 \mu\text{m}$)、p-GaN(Mg: $1 \times 10^{19} \text{cm}^{-3}$, $0.8 \mu\text{m}$)を成長したものを用いた。この試料に脱水素アニールを施した後、スパッタ法により n+GaN(Si: $2 \times 10^{20} \text{cm}^{-3}$, $0.2 \mu\text{m}$)を成膜した。その後、MOSFET 作製プロセスの一部を模擬した TMAH 処理、絶縁膜成膜、絶縁膜焼き締めアニールを行い、SIMS と SCM/SMM 分析による不純物プロファイルおよび多数キャリア濃度の評価を行った。

【結果と考察】SIMS 分析結果を図 1 に、SCM/SMM 分析結果を図 2 に示す。SIMS 分析より、Si 濃度 $2 \times 10^{20} \text{cm}^{-3}$ の高濃度 n+GaN の形成が確認され、Si の p-GaN 中への拡散は見られなかった。また、p-GaN 中の H 濃度は約 $3 \times 10^{18} \text{cm}^{-3}$ であり、脱水素できていることが分かった。SCM/SMM 分析より、多数キャリア濃度について、n+GaN では約 $1 \times 10^{20} \text{cm}^{-3}$ 、p-GaN では 10^{18}cm^{-3} 台前半となり、ドーパント濃度と概ね整合していることが分かった。このことから、n+GaN のスパッタ成膜は p-GaN の多数キャリアを補償するような影響は無いと考えられる。当日は、これらの結果の詳細と共に、n+GaN のコンタクト抵抗およびシート抵抗についても報告する。

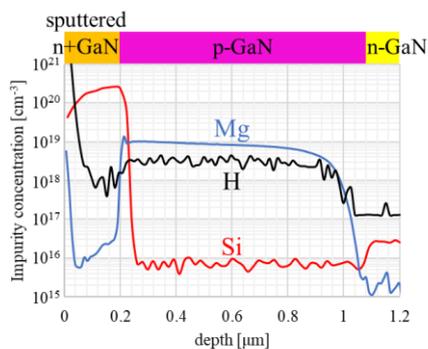


Fig. 1 impurity profiles of the sample with sputtered GaN

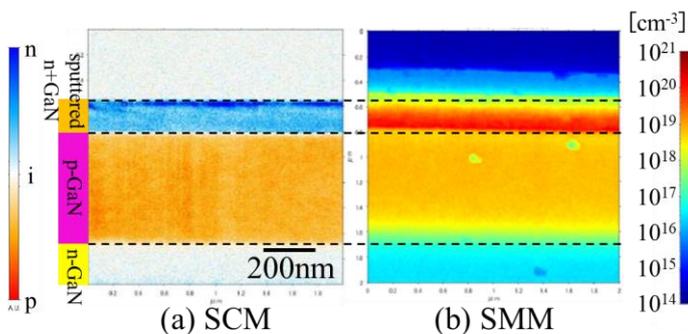


Fig. 2 SCM and SMM images of the p-GaN covered with sputtered GaN

[1] T. Narita et al., Appl. Phys. Express 12, 011006 (2019)

[2] 村田他, 第 79 回応用物理学会秋季学術講演会, 21a-331-11 (2018)

【謝辞】本研究は文部科学省「省エネルギー社会の実現に資する次世代半導体研究開発」の委託を受けたものです。