ICP CVD による SiO:F 膜を用いた低温トップゲート IGZO TFT

Low temperature top-gate IGZO TFT using SiO:F film by ICP CVD

日新電機(株)[1], 奈良先端大[2] ○酒井 敏彦[1], 松尾 大輔[1], 藤原 将喜[1], 池田 拓弥[1],
岸田 茂明[1], 瀬戸口 佳孝[1], 安東 靖典[1], 宮永 良子[2], 藤井 茉美[2], 浦岡 行治[2]
Nissin Electric Co., Ltd.[1], Nara Institute of Science and Technology[2],
○Toshihiko Sakai[1], Daisuke Matsuo[1], Masaki Fujiwara[1], Takuya Ikeda[1], Shigeaki Kishida[1],
Yoshitaka Setoguchi[1], Yasunori Andoh[1], Ryoko Miyanaga[2], Mami Fujii[2], and Yukiharu Uraoka[2]
E-mail: sakai_toshihiko@nissin.co.jp

IGZO に代表される酸化物半導体は、アモルファス Si 半導体と比較して、電界効果移動度が 1 桁以上高く、オフ電流が低いという優れた特徴を持っている [1)]。半導体層の成膜にスパッタリングが用いられるため、低温ポリシリコン半導体よりも低コストで成膜可能であり、より安価に低消費電力の高精細度ディスプレイを製造することができる。しかしながら、トップゲート IGZO TFT は、ゲート絶縁膜成膜時、下地となる IGZO 層へのプラズマダメージ等により、350℃程度のポストアニール処理が必要となり、フレキシブル基板への応用に課題があった。

Fig.1 に作製したトップゲート TFT の断面構造を示す。IGZO 膜は、当社製誘導結合プラズマ(ICP)スパッタ装置を用い、成膜時の酸素分圧条件の異なる 2 層構造とした [2)]。また、ゲート絶縁膜には、信頼性向上の報告があるフッ化膜（ここでは、SiO:F）を用いた [3)]。成膜には、当社製 ICP CVD 装置(Gen 6 基板対応) [4)] を使用し、SiF_4、O_2 および H_2 混合ガスを用い、ガス圧 10Pa、基板温度 200℃、RF パワー 20 kW で成膜した。Fig.2 に、250℃のポストアニール後に得られた伝達特性を示す。しきい値電圧(V_{th}) > 0 で、良好なサブスレッショルドスイング(SS)および電界効果移動度(Mob.)が得られた。SiO:F 膜に含まれるフッ素でパッシベーションされることにより、ゲート絶縁膜成膜時の IGZO のダングリングボンド発生が抑制され、プロセス温度 250℃と低温で良好な特性が得られたと考えられる。

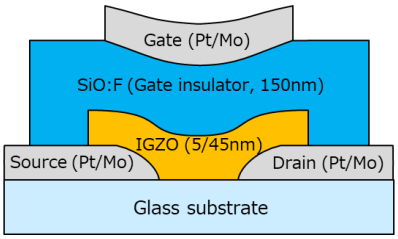

Fig.1: Schematic cross-sectional structure of top-gate IGZO TFT using SiO:F film

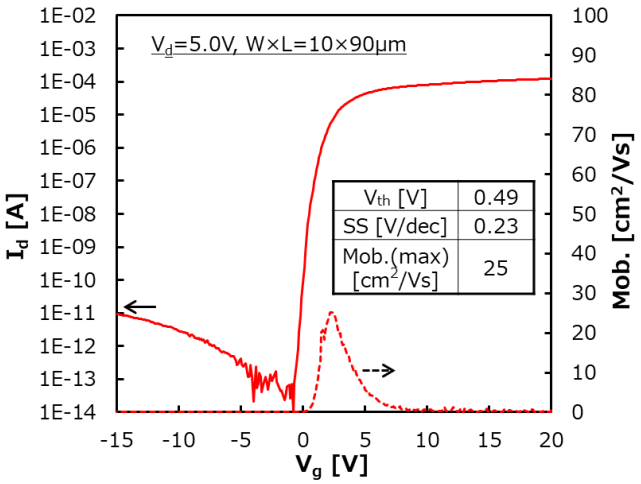

Fig.2: Transfer curve of top-gate IGZO TFT using SiO:F film

(1) K. Nomura *et al.*, Nature, **432**, 488 (2004)
(2) D. Matsuo *et al.*, AM-FPD'17, 197 (2017)
(3) H. Yamazaki *et al.*, IDW/AD '12, 843 (2012)
(4) T. Sakai *et al.*, IDW'18, 557 (2018)

© 2020年 応用物理学会