イオン注入により作製した SiC サイドゲート JFET における

閾値電圧のチャネル厚依存性から求めた横方向チャネリング量

Characterization of lateral channeling from threshold voltages of SiC side-gate JFETs fabricated by ion implantation 京大工¹,京大院工² ⁰金 祺民¹,中島 誠志²,金子 光顕²,木本 恒暢² Kyoto Univ.¹, Dept. of Electron. Sci. & Eng., Kyoto Univ.², °Q. Jin¹, M. Nakajima², M. Kaneko², and T. Kimoto²

E-mail: jin@semicon.kuee.kyoto-u.ac.jp

シリコンカーバイド(SiC)は、耐高温・耐放射線の厳環境デバイス材料として有望視されており、 800℃以上で動作可能なIC作製が報告されている[1]。しかし、報告されたICはノーマリオン型 n-JFET と抵抗により構成されており、原理的に損失が大きい。我々は、消費電力低減の観点からノーマリオフ 型 n-JFET、p-JFETを組み合わせた相補型 JFET(CJFET)による論理回路を提案している[2]。CJFET構成 にあたり、n-JFET、p-JFET それぞれの閾値電圧は CJFET 回路の論理閾値を決定するため、その精密制 御が必要となる。過去に、半絶縁性 SiC 基板上へのイオン注入により作製したサイドゲート n-JFET、 p-JFET のノーマリオフ動作を報告したが[3]、その閾値電圧はマスク設計幅から計算した閾値電圧より 小さな値となっている。閾値電圧が設計値と異なる原因の一つとして、イオン注入時に横方向チャネ リングが生じ、閾値電圧を決めるチャネル厚が実際より小さくなっていることが挙げられる。本研究 では、チャネル厚が異なる JFET の閾値電圧を測定することで、横方向チャネリング量を定量的に評価 することを試みたので報告する。

サイドゲート JFET のゲート部上面模式図を図1に示す。 図1(a)はマスク設計通りにゲート pn 接合が形成された場合 の模式図であり、図1(b)は p+領域のイオン注入時に横方向 チャネリングが生じ、 Δa だけチャネル厚が減少した模式図 である。JFET の作製には 4H-SiC 高純度半絶縁性基板に P と Al を注入することで n型、 p 型を形成した。ゲートおよび チャネルのドーピング密度は 5×10¹⁹ および 1×10¹⁷ cm⁻³ と した。チャネル幅は 600 nm とし、チャネル厚は n-JFET で は 1.15 µm - 1.5 µm、p-JFET では 1 µm - 1.3 µm と設計した。 また、 [1100]、[1120] の 2 方向に並行したゲート構造を有 する JFET を作製した。測定はすべて室温で行った。



Fig. 1: Schematic drawings of the gate pn junctions (a) without and (b) with lateral channeling.

n-JFET、p-JFETのゲート特性より得られた閾値電圧の実験値と階段接合を仮定した理論式[4]より得られた閾値電圧を比較すると、実験値と理論値が大きく乖離しており、横方向チャネリングによりゲート厚が減少していることが確認できた。n-JFETについて、横方向チャネリングによりゲート厚がΔa だけ減少したとすると、閾値電圧の理論式から次式が導ける[4]。

$$\sqrt{\psi_{\rm n} - V_{\rm th_n}} = \sqrt{\frac{qN_{\rm d}}{8\varepsilon_{\rm s}}} (a_{\rm n} - 2\Delta a_{\rm n}) \tag{1}$$

式(1)より、 $\sqrt{\psi_n - V_{th,n}} - a_n$ の実験値を直線外挿 し、 x軸との切片を求めることで Δa_n を得ることが できる。測定結果を元にプロットした結果を図2に 示す。Al (n-JFET)の横方向チャネリングが P (p-JFET) より顕著であることが分かった。また、チャ ネル方向が90°異なる n-JFET を比較すると、 [1100]より[1120]方向において横方向チャネリン グが顕著であることがわかる。一方、Pの異方性は 顕著ではなく、原因を考察中である。 [1] P. G. Neudeck, et al., IEEE EDL 38, 1082 (2017).

- [3] M. Nakajima, et al., IEEE EDL **40**, 866 (2019).
- $\begin{array}{l} 2\Delta a_{\mathrm{n}[11\overline{2}0]}=8.2\ \times10^{2}\ \mathrm{nm}\\ 2\Delta a_{\mathrm{n}[1\overline{1}00]}=6.5\ \times10^{2}\ \mathrm{nm}\end{array}$ $2\Delta a_{p[11\overline{2}0]} = 4.7 \times 10^2$ $2\Delta a_{p[1\overline{1}00]} = 4.6 \times 10^2$ 2.0 $V_{\rm th})^{1/2}[V^{1/2}]$ 2 $[11\overline{2}0]$ 2 2 $[11\overline{2}0]$ 1.5 1.5 [1100] [1100] ر 1 – 1.0 ∯) $(\Psi_{\rm bi} -$ 1.0 0.5 0.5 Р AI 0.0 ∟ 0.0 0.0 0.5 1.0 0.0 0.5 1.0 1.5 Channel Thickness (n-JFET) [µm] Channel Thickness (p-JFET) [µm] Fig. 2: $\sqrt{\psi} - V_{\rm th}$ a relationships in the fabricated n- and p-JFETs. [2] M. Kaneko, et al., IEEE EDL 39, 723 (2018).
- [4] S. M. Sze and K. K. Ng., Physics of Semiconductor Devices, Third Edition (Wiley-Interscience, 2007).