ウェット POA 処理を用いて形成する p 型 4H-SiC (0001) MOS 界面特性に与える酸素分圧及び温度による影響の考察 Consideration on the impact of O₂ partial pressure and temperature of wet POA processes on p-type 4H-SiC (0001) MOS interface characteristics

東京大学大学院工学系研究科マテリアル工学専攻 ⁰小柳 潤、喜多 浩之 Dept. of Materials Engineering, The Univ. of Tokyo, ^OJun Koyanagi and Koji Kita E-mail: koyanagi@scio.t.u-tokyo.ac.jp

[序論] SiC CMOS は高温動作が可能な CMOS として期待されている一方,価電子帯近傍のホールトラップに制約された SiC PMOSFET の動作は大きな課題である。ドライ酸化後の水蒸気アニール(ウェット POA)は一般に,SiC MOS 界面特性を向上させる一方,MOSFET 閾値電圧の安定性を損ねることが指摘されている。ここで,C面上のSiC NMOSFETでは,水素過剰なパイロジェニック条件で移動度が向上することが報告されており[1],ウェット酸化における O₂分圧抑制の重要性は注目される。これまで我々は p型 MOS キャパシタに対して,雰囲気中に 0.1atm の O₂分圧 を与えた条件を検討してきたが[2],O₂分圧の抑制が望ましいという考えに基づき,今回は意図的な O₂の供給を行わない雰囲気のウェット POA が MOS 界面特性に与える効果を調査した。

[実験] 4H-SiC(0001)基板 (pエピ層~ 1.3×10^{16} cm⁻³)上に MOS キャパシタを作製した。1300[°]Cの ドライ酸化を行った後、ウェット雰囲気 (H₂O:N₂=1:49)で、1300[°]Cにて 2~12 分のウェット POA (LPHT)を施した後、ゲート電極として Au を蒸着した。O₂を導入しないと酸化膜の成長速度が 大幅に低下するため[3],1300[°]Cという高温で反応を加速させた。比較のために従来条件 (H₂O:O₂=9:1,800[°]C,8hr)のウェット POA (HPLT)[2]を施したキャパシタを用意した。これらの サンプルの界面準位密度(D_{it})を High-Low 法(1 MHz-1 kHz)で求めた。酸化膜に対して-6 MV/cm 相 当の負方向の定電圧ストレスを室温で与え、V_{FB}の安定性を評価した。また、4H-SiC(0001)基板 (n エピ層~ 1.0×10^{16} cm⁻³)上に、同様のプロセスを施し SiC PMOSFET を作製した。

[結果と考察] Fig. 1 に D_{it} を示した。LPHT では従来の HPLT と同等かそれ以上の D_{it} の低減が見 られた。次に-6 MV/cm の負方向定電圧ストレス下での V_{FB} の変動を膜厚で規格化して Fig. 2 に示 した。HPLT の場合は正方向のシフトが生じるのに対して LPHT では抑制され,また NO アニール 後によくみられるホール捕獲に伴う負方向への変動[4]も抑制できる。 O_2 分圧を下げることで、 O_2 による SiC 酸化がもたらす欠陥構造の生成を抑制しながら水蒸気による界面修復を行えるために 酸化膜中での電荷捕獲サイトの形成が防げると考えられるほか、処理温度の高温化による酸化反 応副生成物の脱離の効果も考えられる。Fig. 3 には作製した PMOSFET の移動度を, LPHT と HPLT の 2 つのウェット POA で作製したものを比較して示した。LPHT の場合でも, HPLT 同様に移動度 を向上させることができ、移動度の観点からは両者の差は小さい。なお本研究の一部は、JSPS 科 研費補助金の助成により実施された。

[文献] [1] M. Okamoto et al., Mater. Sci. Form 778-780, 975 (2014). [2] J. Koyanagi et.al, SSDM2018 D-2-05. [3] K. Kita et.al, Microelectron. Engineer. 178, 186 (2017). [4] J. Rozen et al., J. Appl. Phys. 105, 124506 (2009).











Fig. 3 μ_{FE} for p-channel MOSFET with LPHT and HPLT.