

塗布膜を用いたレーザードーピング法による poly-Si TFT 及び CMOS インバータ回路の製作

Fabrication of poly-Si TFTs and CMOS inverter circuits by a laser doping method using coating films

九大¹, 九大ギガフォトン共同部門², 東北大未来研³

倉重 貴行¹, 妹川 要^{1,2}, 中村 大輔¹, 佐道 泰造¹, 後藤 哲也³, 池上 浩^{1,2}

Kyushu Univ.¹, Dept. of Gigaphoton Next GLP, Kyushu Univ.², Tohoku Univ.³

°Takayuki Kurashige¹, Kaname Imokawa^{1,2}, Daisuke Nakamura¹,

Taizoh Sadoh¹, Tetsuya Goto³, Hiroshi Ikenoue^{1,2}

E-mail: ikenoue.hiroshi.834@m.kyushu-u.ac.jp

1. はじめに

フラットパネルディスプレイのスイッチングデバイスである薄膜トランジスタ (TFT) のチャネル材料として、低温ポリシリコン (LTPS) 薄膜が用いられている。LTPS 薄膜は a-Si 薄膜へのエキシマレーザーアニーリング (ELA) により形成され、基板温度を低温に保つことができることから、プラスチック基板を用いたフレキシブルディスプレイ製造ラインへの適用が可能である。一方で、LTPS-TFT のソースドレインへのドーピングには、イオン注入法や化学気相蒸着法等の真空・高温プロセスが必要とされており、LTPS を用いたフレキシブルディスプレイ製造との整合性が低いことが問題となっている。我々は、上記問題を解決するための真空不要な低温ドーピング方式として、リン酸溶液またはアルミナゾル塗布を施した LTPS 薄膜へのレーザー照射によりリンまたはアルミニウムの注入と活性化を試み、n 型及び p 型化が達成されることを示してきた。[1]

本講演では、リン酸またはアルミナゾル塗布を施した LTPS 薄膜表面へのエキシマレーザー照射により形成した NMOS 及び PMOS を用いて CMOS 回路の形成を試みたので報告する。

2. 実験

照射レーザーにはギガフォトン社製 KrF エキシマレーザーを使用した。a-Si 膜はクォーツ基板上に低圧化学気相成長法 (LPCVD) により形成され、その膜厚は 50 nm であった。脱水素処理を施した a-Si 膜に対し ELA (フルエンス 400 mJ/cm², 照射回数 20shots) を行い LTPS 薄膜を形成した。希フッ酸溶液洗浄と UV 照射による親水処理を施した後、LTPS 薄膜上へ不純物溶液(リン酸またはアルミナゾル)のコーティングを行った。コーティングした薄膜に対しフルエンス 100~500 mJ/cm², 照射回数 25 shots でレーザーを照射しリン若しくは Al のドーピングを行った。照射後、4 探針抵抗測定、二次イオン質量分析(SIMS)及びホール効果測定を行った。

次に、上述の塗布膜を用いたレーザードーピング法にて NMOS 及び PMOS を製作し、それらを組み合わせて CMOS を製作して入出力特性を測定した。

3. 結果

レーザードーピング後の LTPS 薄膜の抵抗率の変化を 4 探針法にて測定した結果、リン及び Al ドーピン

グとともに 200 mJ/cm² 以上のフルエンスにて抵抗率が低下し、400 mJ/cm² にて 0.1 Ωcm まで減少した。

次に、SIMS 分析によりレーザーフルエンス 400 mJ/cm² でドーピングした LTPS 膜中のリン及び Al 濃度分布を分析したところ、両者とも濃度は膜中でほぼ一定であり、その平均濃度はリンが $7.9 \times 10^{18} \text{ cm}^{-3}$, Al が $3.2 \times 10^{19} \text{ cm}^{-3}$ であった。またホール効果測定を行った結果、ホール濃度は $1.5 \times 10^{18} \text{ cm}^{-3}$ (リン酸塗布), $8.9 \times 10^{18} \text{ cm}^{-3}$ (Al₂O₃ ゾル塗布), ホール移動度は 61 cm²/Vs (リン酸塗布), 13cm²/Vs (Al₂O₃ ゾル塗布)と求められた。以上より、アルミナゾルを塗布した LTPS 膜へのレーザー照射により n 型化及び p 型化が達成されると結論する。

さらに、作製した n 型及び p 型 TFT を用いて CMOS 回路を形成した。Fig.1 に作製した CMOS 回路における V_{DD}=15 V, V_{SS}=0 V での入出力波形を、Fig.2 に入出力特性を示す。Fig.1 及び Fig.2 より、作製した CMOS 回路において、インバータ動作が確認されたと結論する。

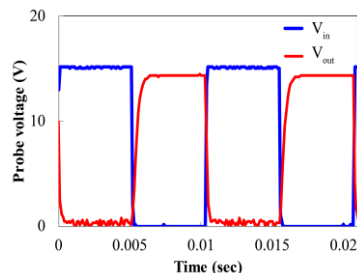


Fig.1 Vin-Vout waveform of CMOS inverter circuits applying Vin amplitude of peak-to-peak at 15 V and frequency 100 Hz at V_{DD} = 15 V and V_{SS} = 0 V

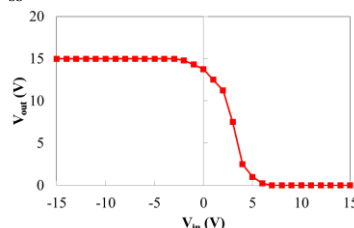


Fig.2 Vin-Vout characteristics for inverter with Vin ranging from -15 V to 15 V.

参考文献

[1] 倉重 貴行, 妹川 要, 諏訪 輝, 中村 大輔, 佐道 泰造, 後藤 哲也, 池上 浩, 第 80 回応用物理学会秋季学術講演会, 2019.09.