

Cu-MIC 4 端子 poly-Ge_{1-x}Sn_x TFT の性能およびインバータへの応用 Performance of 4T Cu-MIC poly-Ge_{1-x}Sn_x TFTs and their application to inverters

東北学院大工 宮崎 僚, 〇原 明人

Tohoku Gakuin Univ., Ryo Miyazaki, 〇Akito Hara

E-mail: akito@mail.tohoku-gakuin.ac.jp

【はじめに】

銅(Cu)を触媒とした金属誘起固相成長法(Metal induced crystallization : Cu-MIC)によって成長させた p 型多結晶ゲルマニウムスズ(poly-Ge_xSn_{1-x})をチャンネル層とした4端子(4T) ジャンクションレス(JL) poly-Ge_{1-x}Sn_x 薄膜トランジスタ(TFT)を実現している。¹⁻³⁾ 本報告では、4 端子構造の特徴である閾値電圧(V_{th})制御性を利用し、E/D インバータを形成した結果について述べる。

【実験】

4 T poly-Ge_{1-x}Sn_xTFT の形成プロセス、デバイス性能については既に報告している。¹⁻³⁾ トップゲート(TG)は SiO₂=30 nm である。また、BG は HfO₂ と SiO₂ の 2 層構造であり、CET は 16 nm である。ゲート長 L とゲート幅 W は L/W = 20 μm / 10 μm である。

【結果および考察】

図1は p-ch 4 T JL poly-Ge_{1-x}Sn_xTFT の V_{th} と制御ゲート電圧 (V_{CG}) の関係を示す。また、図2は移動度と V_{CG} の関係を示す。これらの関係は 4 T JL poly-Ge_{1-x}Sn_x TFT が正常に動作していることを示している。 V_{th} 制御性を利用して E/D インバータを作成した。E/D インバータの回路図を図3に示す。図1に示すように、4 T poly-Ge_{1-x}Sn_x TFT は、 V_{CG} の制御により E 型、D 型を作成できることが特徴である。図4は DRIVE TFT の V_{CG} を 3.5V に固定して E 型に保持したまま、LOAD TFT の D 型の強さを V_{CG} の制御により変更した場合の入出力特性を示す。電源電圧は -5.0V である。LOAD TFT の D 型の強さを変更することにより、logic swing が変化することが確認される。 V_{th} の V_{CG} 依存性や移動度の V_{CG} 依存性のメカニズムについては当日説明する。また、D 型を固定し、E 型を変化させた場合の E/D インバータ特性、E/E インバータ特性についても報告する。

【まとめ】

V_{CG} による p-ch 4 T poly-Ge_{1-x}Sn_xTFT の V_{th} 制御性を利用して E/D インバータを作成し、その正常動作を確認した。

【謝辞】

本研究は科学研究費基盤(C)16K06311 と池谷科学技術振興財団によって支援されている。

【参考文献】

- 1) R. Miyazaki and A. Hara: 26th AM-FPD, 2019, P-L1.
DOI: 10.23919/AM-FPD.2019.8830606
- 2) R. Miyazaki and A. Hara: Tech. Dig. of 26th IDW, 2019, p. 624.
- 3) 宮崎、原: 第 74 回応用物理学会東北地区学術講演会、2aA07, 2019.

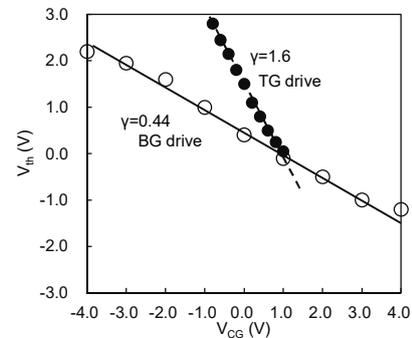


図1. V_{th} の V_{CG} 依存性

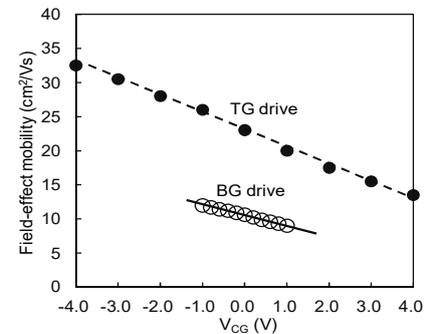


図2. 移動度の V_{CG} 依存性

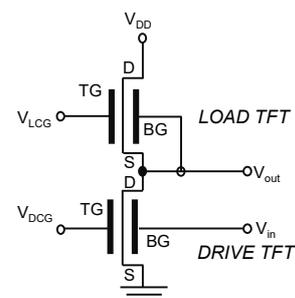


図3. E/D インバータ

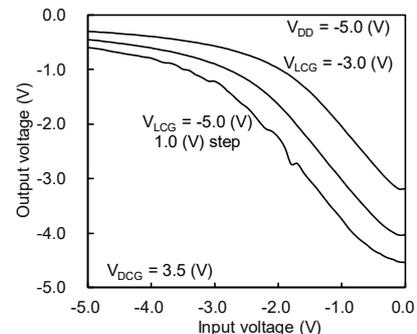


図4. E/D インバータの入出力特性