

縦型半導体スピノ素子のための単結晶  $\text{Co}_2\text{FeSi}$  上 Ge 薄膜の高品質化High quality Ge on epitaxial  $\text{Co}_2\text{FeSi}$  for semiconductor based vertical spin devices阪大基礎工<sup>1</sup>, JST さきがけ<sup>2</sup>, 阪大基礎工 CSRN<sup>3</sup>, 都市大総研<sup>4</sup>°山田 敦也<sup>1</sup>, 山田 道洋<sup>2,3</sup>, 山田 晋也<sup>3,1</sup>, 澤野 憲太郎<sup>4</sup>, 浜屋 宏平<sup>3,1</sup>Osaka Univ.<sup>1</sup>, JST-PRESTO<sup>2</sup>, CSRN, Osaka Univ.<sup>3</sup>, Tokyo City Univ.<sup>4</sup>°Atsuya Yamada<sup>1</sup>, Michihiro Yamada<sup>2,3</sup>, Shinya Yamada<sup>3,1</sup>, Kentarou Sawano<sup>4</sup>, Kohei Hamaya<sup>3,1</sup>

E-mail: u203926f@ecs.osaka-u.ac.jp

強磁性体/Ge/強磁性体からなる縦型半導体スピノ素子では、最近、室温スピノ信号が観測されているが [1,2], 現状では磁気抵抗(MR)比が約 0.3%に留まっており、更なる性能の向上が要求されている。我々はこれまで、強磁性電極に高スピノ偏極材料である  $\text{Co}_2\text{FeSi}$  を採用することに注目して研究を行ってきたが、 $\text{Co}_2\text{FeSi}$  上の Ge 低温成長では原子間相互拡散の影響が大きく、高品質な  $\text{Co}_2\text{FeSi}/\text{Ge}/\text{Co}_2\text{FeSi}$  構造を作製することが困難であるため[3], 室温スピノ信号の観測には至っていなかった。本研究では、 $\text{Ge}/\text{Co}_2\text{FeSi}$  界面での原子間相互拡散の抑制と Ge 中間層の高品質化を実現するため、 $\text{Fe}_3\text{Si}$  緩衝層の挿入と、固相成長(SPE)と分子線エピタキシー(MBE)による Ge 中間層の成長温度の最適化を行い、室温 MR 比の増大に成功したので報告する。

まず、Si 基板の上に  $\text{Fe}_3\text{Si}/\text{Ge}$  緩衝層を導入することで、中間 Ge 成長に対して表面平坦性の良好な  $\text{Co}_2\text{FeSi}$  層(10 nm)の作製に成功した [Fig. 1(a)参照]. 次に、SPE 法を用いて 2 nm の Ge 層を  $\text{Co}_2\text{FeSi}$  層上にエピタキシャル成長させた後、基板温度( $T_{\text{Ge}}$ )を 140, 150, 200°Cに固定して Ge の MBE 成長の最適条件を探索した。Fig. 1(b)に各基板温度で MBE-Ge を 2 nm 成長した後の表面の RHEED パターンを示す。  $T_{\text{Ge}}$  が 150°Cの場合にストリーク状のパターンが観測され、比較的高品質 Ge 中間層の作製に成功していることが判る。この条件で上部 CoFe 層まで成長した各層成長後の RHEED パターンの観測から[Fig. 1(c)], 全エピタキシャル CoFe/Ge/ $\text{Co}_2\text{FeSi}$  縦型構造の作製に成功したことが示唆される。Fig. 1(d)には、成長温度  $T_{\text{Ge}} = 200^\circ\text{C}$  から  $150^\circ\text{C}$  へと低温化した時の室温 MR 曲線の変化を示している。  $T_{\text{Ge}} = 150^\circ\text{C}$  の素子では、  $T_{\text{Ge}} = 200^\circ\text{C}$  の素子に比べて一桁近く MR 比が増大し、Ge 中間層の高品質化を通して 1%を超える室温 MR 比を初めて実現している。この値は、半導体スピノ素子における局所二端子室温磁気抵抗比の世界最高値である。

本研究は、JSPS 科研費(17H06120, 19H05616)・JST さきがけ(JPMJPR20BA)・博士課程教育リーディングプログラム「インタラクティブ物質科学・カデットプログラム」の助成を受けたものです。

[1] M. Kawano *et al.*, Phys. Rev. Mater. **1**, 034604 (2017). [2] A. Yamada *et al.*, J. Appl. Phys. **129**, 013901 (2021).

[3] M. Kawano *et al.*, J. Appl. Phys. **119**, 045302 (2016).

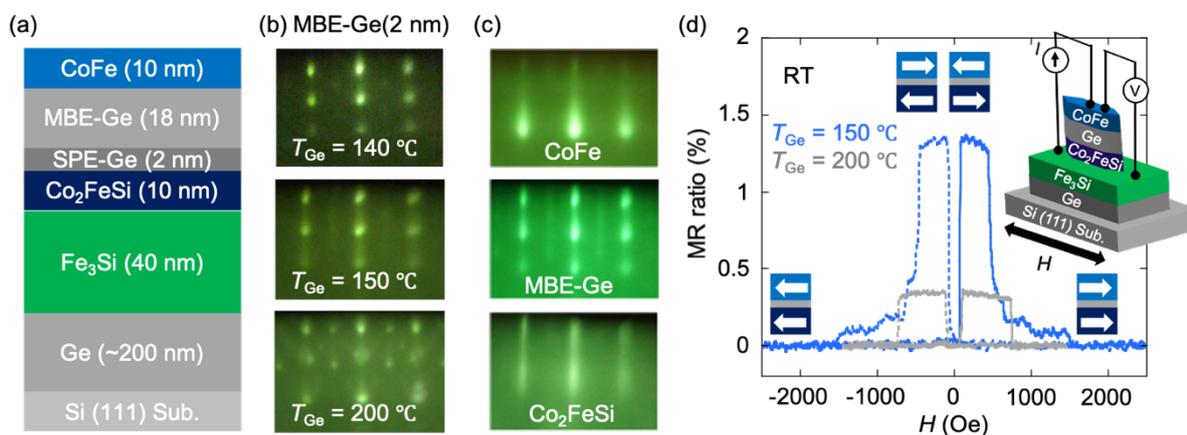


Fig. 1 (a) Schematic of the grown CoFe/Ge/ $\text{Co}_2\text{FeSi}$  structure on  $\text{Fe}_3\text{Si}/\text{Ge}/\text{Si}$ . (b) RHEED patterns of a 2-nm-thick Ge layer by MBE grown at  $140^\circ\text{C}$ ,  $150^\circ\text{C}$ , and  $200^\circ\text{C}$ . (c) RHEED patterns of the surface on CoFe, MBE-Ge, and  $\text{Co}_2\text{FeSi}$  layers. (d) Blue and gray curves show MR curves at room temperature for devices with Ge intermediate layers grown at  $T_{\text{Ge}} = 150^\circ\text{C}$  and  $200^\circ\text{C}$ , respectively. The inset is a schematic of the fabricated vertical spin-valve device.