

Ge スピン MOSFET のための低温 (~250°C) デバイスプロセスの構築

Low temperature (~250°C) fabrication process for Ge spin MOSFET

九大・大学院総合理工学府/研究院, °(M2)松尾 拓朗, 山本 圭介, 王 冬

IGSES, Kyushu Univ., °Takuro Matsuo, Keisuke Yamamoto, Dong Wang

E-mail: matsuo.takuro.092@s.kyushu-u.ac.jp

1. はじめに

MOSFET のソース・ドレイン(S/D)に強磁性材料を使用したスピン MOSFET は、通常 MOSFET と同様のゲート電圧印加による電流制御に加えて、強磁性 S/D の磁化の方向を互いに平行・反平行に切り替えることでもスイッチングが可能なデバイスであり[1]、論理演算機能 (MOSFET) と不揮発メモリ機能 (磁性体) を兼ね備えた夢の省電力デバイスとして期待されている。スピン MOSFET 用の半導体チャネル材料および強磁性 S/D 電極候補として、Ge とその上にエピタキシャル成長させた CoFeAlSi (CFAS) 接合が開発されている[2]。しかしながら、CFAS/Ge 接合は 300°C 以上の熱処理によって、CFAS/Ge 界面が悪化しスピン注入効率が著しく低下する。一方で、従来の Ge MOSFET プロセスは少なくとも 350~500°C 程度の熱処理を必要としているため[3-5]、そのままではスピン MOSFET プロセスに応用できない。したがって、CFAS S/D のスピン MOSFET 実現のためには、CFAS/Ge 接合の性能を損なわない低温でのデバイスプロセスの開発が必要となる。今回は CFAS/Ge の代わりに整流性 TiN/p-Ge 接合を S/D としたメタル S/D 型 n-MOSFET による低温 MOSFET プロセスを構築した結果について報告する。

2. 試料作製

p 形(111) Ge 基板を使用した。CFAS S/D スピン MOSFET を想定して、ゲートラストプロセスでデバイスを試作した。始めに、TiN S/D (60 nm) をスパッタ堆積およびリフトオフによって形成した。その後、RIE (CHF₃ ガスを使用) を用いて、チャネル部を約 50 nm 掘り込んだ。続いてデバイス周囲に対してメサエッチングと埋め戻しを行い素子分離した。ゲート絶縁膜として SiO₂/GeO_x 構造 (約 50 nm) を ECR プラズマプロセスにて形成した。ゲートの PDA は、250°C で 30 min 行った。ゲート電極およびコンタクト電極には Al を使用した。Fig 1 に断面模式図および光学顕微鏡写真を示す。チャネル長は 5 μm、チャネル幅は 20 μm である。

3. 電気特性

S/D 形成以後を 250°C 以下で作製した素子の I_D - V_D 特性及び I_D , I_S - V_G 特性を Fig. 2 及び Fig. 3 に示す。いずれも MOSFET の動作特性が得られており、250°C 以下のプロセスでも Ge MOSFET 作製が可能であることが示された。ON/OFF 比は I_D で 2 桁程度、 I_S で 3~4 桁が得られている。講演では、他の低温形成絶縁膜をゲートスタックに使用したデバイスの結果についても述べる。

謝辞: 本研究は科研費・基盤研究 (S) (No. 19H05616) および東北大通研共同プロジェクト研究 (No. R03/A02) の支援の下行われた。

参考文献: [1] Sugahara *et al.*, APL **97** (2005) 10D503. [2] K. Hamaya *et al.*, J. Alloys Compd. **748** (2018) 323. [3] S. Takagi *et al.*, JJAP **54** (2015) 06FA01. [4] A. Toriumi *et al.*, JJAP **57** (2018) 010101. [5] K. Yamamoto *et al.*, APEX **5** (2012) 051301

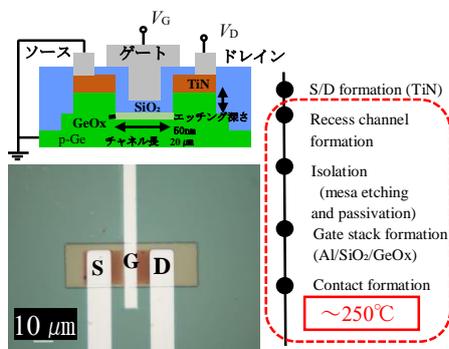


Fig. 1. Cross sectional illustration and top view of the MOSFET. The fabrication flow is also shown.

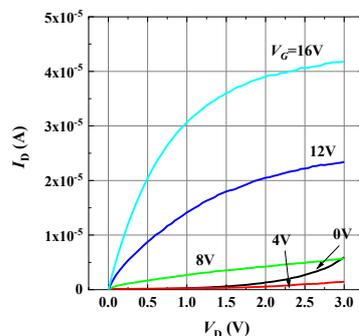


Fig. 2. I_D - V_D characteristics of the MOSFET.

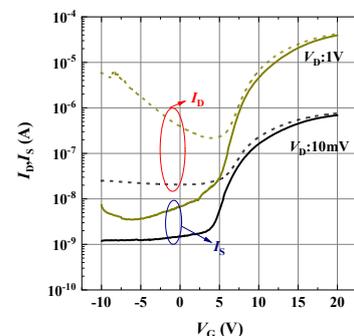


Fig. 3. I_D , I_S - V_G characteristics of the MOSFET.