

経時的インピーダンス分光解析を用いた逆バイアス ストレス印加下の絶縁膜特性劣化過程の解析

Evaluation of Dielectric Degradation in MOS Structures Under Reverse-Bias Stress Using Time-Dependent Impedance Spectroscopy (TDIS)

京大院工¹, 学振特別研究員 DC², °久山 智弘^{1,2}, 占部 継一郎¹, 江利口 浩二¹

Kyoto Univ.¹, JSPS Research Fellow², °T. Kuyama^{1,2}, K. Urabe¹, K. Eriguchi¹

E-mail: kuyama.tomohiro.23x@st.kyoto-u.ac.jp

【はじめに】二酸化シリコン (SiO₂) 薄膜の信頼性評価には、絶縁破壊時間 (t_{bd}) の統計分布を指標とする TDDB (絶縁膜経時破壊) 評価が広く用いられている [1]. 特に、数 nm の薄膜で確率的に生じるソフトブレイクダウン (SBD) の TDDB 特性は、微細化が進行した先端デバイスの信頼性予測において重要である. しかし、直流計測の TDDB 試験では t_{bd} を予測するにとどまり、SBD に伴う絶縁膜の物性変化を詳細に知ることは難しい. そこで我々は、直流ストレスに交流シグナルを重ねし、ストレス印加下でインピーダンス分光を行う経時的インピーダンス分光解析 (TDIS) 法を提案した [2]. TDIS 法は、絶縁破壊に伴う絶縁膜の物性変化を、容量 C 、抵抗 R などの回路設計と親和性の高いパラメータの変化として解析可能な手法である. 今回は TDIS 法を用いて、プラズマに曝露した MOS 構造が、逆バイアス印加下で劣化する過程を解析した結果を報告する.

【解析手法】Fig. 1(a)に絶縁破壊状態に対応する等価回路モデルを示す. 絶縁膜はソフトブレイクダウン (SBD) 時に生じるホッピング経路 (LR 直列回路) が、絶縁膜の容量 C と並列に接続した等価回路で表現する [2]. また、Si の空乏層は RC 並列回路で表現する. 絶縁膜と Si 空乏層の回路パラメータの経時変化を、インピーダンススペクトル $Z(\omega, t)$ のフィッティングにより解析する.

【実験】低抵抗 n 型 Si 基板上に SiO₂ 膜 (光学膜厚約 4.3 nm) を PECVD 法により製膜した. 製膜したサンプルを誘導結合型プラズマ (Ar ガス, 2.7 Pa) に曝露 (5 s) した. プラズマ曝露前後のサンプル (Ref., 曝露サンプル: PID) 表面に水銀プローバーで電極を作製し、逆バイアス印加下 (-6 V) で $Z(\omega, t)$ を計測した. $Z(\omega, t)$ の測定周波数 ($f = \omega/2\pi$) は 1 MHz から 25 Hz である.

【結果及び考察】Fig. 1(b)にプラズマ曝露後のサンプル (PID) の $t=23$ s から $t=4800$ s までの $Z(\omega, t)$ を示す. $t=23$ s で Si 空乏層と SiO₂ 膜に対応する 2 つの半円が重なったスペクトルが得られた. また、 $t=1096$ s で SiO₂ 膜に対応する半円が不連続に縮小した. これは SiO₂ 膜の SBD 発生を示す. Fig. 1(c)に、フィッティングで得られた Si の空乏層と SiO₂ 膜の容量 C を示す. 低周波数側の半円に対応する容量値が $C-V$ 測定 of 蓄積側の容量と同程度であることから、低周波数側の半円が SiO₂ 膜に対応すると同定した. 絶縁膜の容量 C_{ox} の減少速度は絶縁膜中の電気的特性劣化レートに対応する [2]. Ref. より PID の方が C_{ox} の傾きが大きく、プラズマ曝露によりストレス印加下の欠陥形成速度が増大し劣化が加速されることが分かった. また、SiO₂ 膜と比較して Si の空乏層の C_{Si} および R 成分の変化は小さく、本実験では Si 空乏層中の欠陥形成は検出されなかった.

【おわりに】MOS 構造が逆バイアスストレス印加下で劣化する過程を、TDIS 法を用いて材料ごとに分離して解析した. TDIS 法はストレス印加下の材料特性劣化の解析に有効である.

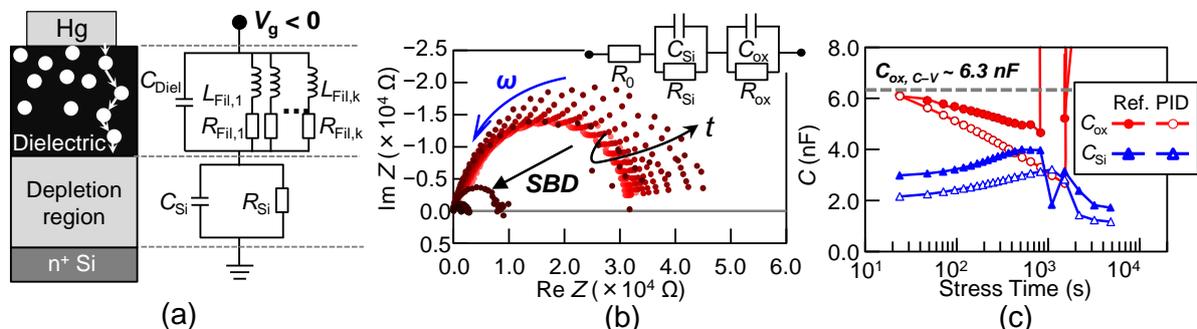


Figure 1 (a) An equivalent circuit model of a MIS structure under reverse-bias stress. The hopping paths are created in the dielectric film, i.e., soft breakdown; SBD. (b) $Z(\omega, t)$ of the damaged (PID) sample ($V_g = -6.0$ V). The assumed equivalent circuit is shown in the inset. (c) Extracted $R(t)$ and $C(t)$ assigned by TDIS with the equivalent circuit shown in Fig. 1(b).

謝辞 本研究の一部は科研費 (JSPS) JP20J15696 の助成を受けたものである.

参考文献 [1] J. W. McPherson, Reliability Physics and Engineering: Time-to-Failure Modeling (Springer, New York, 2010). [2] T. Kuyama et al., in Proc. 2021 IEEE International Reliability Physics Symposium (IRPS), pp. 4B-4-1-4B-4-7.