LPCVD SiN 膜耐圧と N_2 アニール温度 (I)TDDB 頻度と ESR 検討

LPCVD SiN Film Breakdown and N_2-anneal Temperature (I): TDDB and ESR Evaluations

ローム浜松[1]，香川大創造工[2]，EBL[3] ○栗田 久嗣[1]，中村 真貴[1]，宮川 勇人[2]，神垣 良昭[3]

ROHM Hamamatsu.[1], Kagawa Univ.[2], E&B Research Lab.[3],

○Hisatsugu Kurita[1], Masataka Nakamura[1], Hayato Miyagawa[2], Yoshiaki Kamigaki[3]

E-mail: hisatsugu.kurita@rohm-h.co.jp

【緒言】SiN 膜キャパシタの信頼性向上のために絶縁耐圧に及ぼす N_2 アニール温度の影響を調べた。本研究では、耐圧を Time Dependent Dielectric Breakdown (TDDB)法にて、欠陥を Electron Spin Resonance (ESR)法にて評価した。その結果、N_2 アニール温度にともなう SiN 膜の絶縁膜劣化が SiN 膜中及び Si 基板/SiN_3 膜界面のダングリングボンド密度と関連する傾向を見出した。

実験 1. SiN 膜の TDDB 頻度と N_2 アニール温度

【方法】poly-Si/SiN/poly-Si 膜構造の SiN 膜キャパシタを作製し、SiN 膜の絶縁膜耐圧を測定条件(Fig. 1 内に示す)にて調べた。SiN 膜は縦型 LP-CVD 法により、ジクロロシラン(SiH_2Cl_2)/アンモニア(NH_3)のガス混合比 0.1 の 700℃雰囲気にて、設計膜厚 55nm を成膜した。SiN 膜形成後、室温（アニールなし）及び 700℃から 1150℃まで温度 6 水準の N_2 アニールを各 1 時間行った。

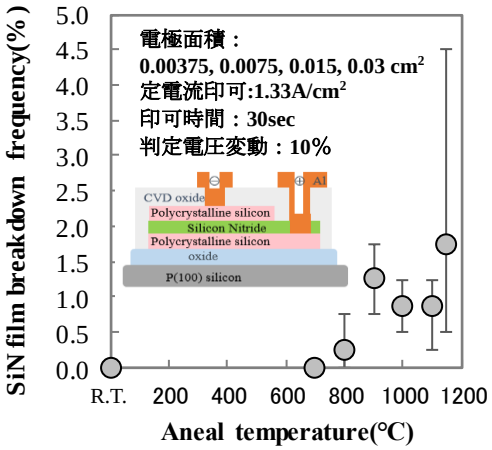

Fig. 1 SiN film breakdown frequency as a function of annealing temperature.

【結果】各アニール温度に対する SiN 膜耐圧不良の発生頻度は温度とともに増加する傾向がある。また、局所的な増加が 900℃に見られた。(Fig.1)

実験２. SiN 膜の ESR 測定による欠陥評価

【方法】 ESR(JEOL/JES-RE2X)測定用サンプルは、P 型(100)面 Si 基板(180-300Ω cm)の両面上に SiN 膜を形成し、TDDB 測定サンプルと同様に N_2 アニールした。その後 3mm×30mm にダイシングで切り出し、TMAH 異方性エッチにより端面処理した。ESR 測定はデバイス動作環境と同じ室温で、積算によりノイズを低減し信号を検出した。

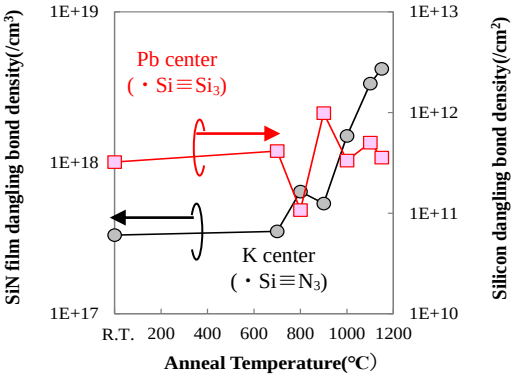

Fig. 2 Density of dangling bonds as a function of annealing temperature.

【結果】観測信号のうち、SiN 膜中の欠陥 K center (・Si≡N_3)及び Si 基板/SiN 膜界面の欠陥 Pb center (・Si≡Si_3)のスピン密度の N_2 アニール温度による変化を Fig. 2 に示す。K center は 900℃以上で単調に増加する傾向を示し、Pb center は 900℃付近で極大をもつ傾向を示した。K center と Pb center の両者の挙動をあわせると、SiN 膜耐圧不良の挙動に対応する可能性が考えられる。

© 2021年 応用物理学会