

Graphene/SiO₂/n-Si 積層構造からの高効率電子放出機構

Highly efficient electron emission mechanism of a graphene/SiO₂/n-Si stacked structure

産総研¹, 筑波大数理², 静大電研³, 横国大理工⁴ ◯村上勝久^{1,2}, 山田洋一², 根尾陽一郎³,
鷹尾祥典⁴, 佐々木正洋², 三村秀典³, 長尾昌善¹

AIST¹, Univ. Tsukuba², Shizuoka Univ.³, YNU⁴, ◯Katsuhisa Murakami^{1,2}, Yoichi Yamada², Neo
Yoichiro³, Yoshinori Takao⁴, Masahiro Sasaki², Hidenori Mimura³, and Masayoshi Nagao¹

E-mail: murakami.k@aist.go.jp

Metal/Oxide/Semiconductor (MOS) 構造の平面型電子放出デバイスは、電子の量子力学的トンネリングと加速をデバイス内部で行うため動作環境に真空を必要としない。この特徴により、従来の電界放出電子源と異なり、10⁻⁵ P 程度の低真空、大気圧ガス中、液体中でも動作することが可能であり、従来の電子線源では実現不可能な様々な応用が期待できる。しかしながら、MOS 構造の平面型電子放出デバイスはその電子放出効率が 0.001%~1%程度と非常に低く、その結果放出電流密度も低くなることが課題であり応用の妨げとなっている。低電子放出効率の要因は、Si 基板から絶縁層内部にトンネリングした電子の大部分が、デバイス内部での電子の非弾性散乱によるエネルギー低下により上部電極の仕事関数を乗り越えることができずに、デバイス内部にダイオード電流として流れてしまうことにある。

我々の研究グループでは、MOS 構造の平面型電子放出デバイスの上部金属電極での電子散乱の抑制による電子放出効率の改善を目的として、金属と比較して電子の非弾性散乱断面積が小さく原子レベルの薄膜化が可能な、グラフェンを上部電極とした Graphene/SiO₂/n-Si 積層構造の超高効率平面電子放出デバイスの開発を推進している[1-5]。これまでに、上部電極にグラフェンを用いることで、電子放出効率最大 48.5%と、放出電流密度 100mA/cm² 以上を達成した[5]。これは、上部電極に金属を用いた従来型 MOS 構造の平面型電子放出デバイスと比較して、最大約 1 万倍の特性向上である。

これまでの研究から、電子放出効率が SiO₂ 上へのグラフェン成膜条件に依存することが分かっていたがその原因は明らかではなかった。今回、Graphene/SiO₂/n-Si 積層構造に流れる電子の伝導機構と放出電子のエネルギー分布から、Graphene/SiO₂/n-Si 積層構造からの高効率電子放出機構を明らかにしたので報告する。

【参考文献】

1. K. Murakami et al., *Appl. Phys. Lett.* **108**, 083506 (2016).
2. K. Murakami et al., *J. Vac. Sci. Technol B* **36**, 02C110 (2018).
3. K. Murakami, et al., *Appl. Phys. Lett.* **114**, 213501 (2019).
4. R. Furuya, et al, *Acta Astronaut.* **174**, 48 (2020).
5. K. Murakami, et al, *ACS Appl. Electron. Mater.* **2**, 2265 (2020).