

強誘電性ノンドープ HfO₂ 薄膜形成における SiO₂ 界面層形成の抑制に関する検討

Investigation of suppression of SiO₂ interfacial layer formation during ferroelectric non-doped HfO₂ formation

東工大 工学院 °田沼 将一, Joong-Won Shin, 大見 俊一郎

Tokyo Institute of Technology, °Masakazu Tanuma, Joong-Won Shin, and Shun-ichiro Ohmi

E-mail: tanuma.m.aa@m.titech.ac.jp, ohmi@ee.e.titech.ac.jp

1. はじめに

強誘電体 HfO₂ 薄膜は、従来の強誘電体材料では困難であった Si 基板上への形成が可能であり、強誘電体ゲートトランジスタ(MFSFET)への応用が期待されている[1]。前回、我々は Hf 界面層を導入した膜厚 10 nm の強誘電性ノンドープ HfO₂ を用いた MFSFET に関して報告した[2]。今回、低誘電率の SiO₂ 界面層形成の抑制を目的として、HfO₂ のスパッタ条件に関する検討を行ったので報告する。

2. 実験方法

まず、p-Si(100)基板を洗浄した後、H₂O₂ を用いて化学酸化膜を形成した。次に、RF マグネトロンスパッタ法により Pt(20 nm)/HfO₂(10 nm)/p-Si(100)積層構造を in-situ にて堆積した。その際、ターゲット-基板間(T-S)距離を 30 mm とした。Pt 電極のパターニング後、N₂ 雰囲気中で 500°C/30 s の PMA を行い、裏面の Al 電極を真空蒸着して MFS ダイオードを作製した[3]。このように作製した試料について C-V 特性の評価を行った。

3. 実験結果および考察

図 1 に作製した MFS ダイオードの C-V 特性に対する化学酸化膜の効果を示す。化学酸化膜を導入することにより、EOT は 6.7 nm から 5.6 nm に低減することが分かった。また、V_{FB} を抽出した結果、それぞれ -0.7 V および -0.4 V と得られた。Pt 電極を用いた場合の V_{FB} の理想値は 0.7 V であるため、理想値からのシフトが 1.4 V から 1.1 V に低減することが分かった。以上の結果から、SiO₂ 界面層はプレスパッタ時ではなく、主に HfO₂ 薄膜堆積中に形成されていると考えられる。SiO₂ 界面層の形成を抑制するためには、HfO₂ 薄膜堆積中の Si 表面の酸化を制御することが重要であると考えられる。

謝辞

本研究の一部は、JSPS 科研費 19H00758 の支援を受けて行われた。

参考文献

- [1] T. S. Bösccke et al., Appl. Phys. Lett., **99**, 102903 (2011).
- [2] 林 他、第 81 回秋季応物予稿集、10a-Z24-4, p.100000000-130 (2020).
- [3] Tanuma, et al., EM-NANO 2021, B2-3-6 (2021).

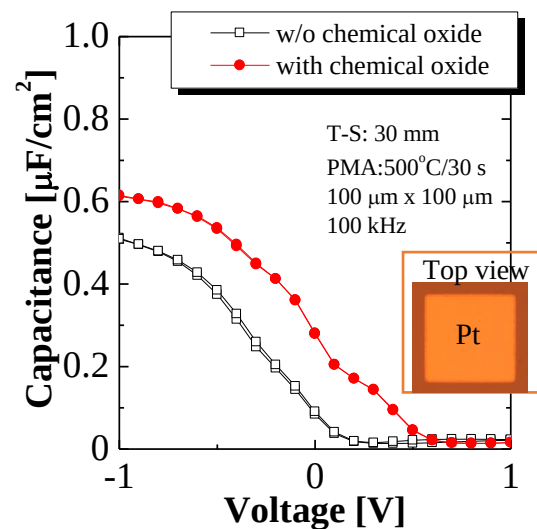


図 1 MFS ダイオードの C-V 特性に対する化学酸化膜の効果。

表 1 MFS ダイオードの EOT および V_{FB}

	EOT [nm]	V _{FB} [V]
w/o chemical oxide	6.7	-0.7
with chemical oxide	5.6	-0.4