強誘電体 Hf_xZr_{1-x}O₂の極薄膜化による低電圧保持特性と書換回数の向上

Low-Voltage Retention and Endurance Improvement of Ferroelectric Hf_xZr_{1-x}O₂ by Thickness Scaling

東大院工¹, 富士通セミコンダクターメモリンリューション² ○トープラサートポン カシディット¹, 田原 建人¹, 彦坂 幸信², 中村 亘², 齋藤 仁², 竹中 充¹, 高木 信一¹

Univ. Tokyo, Fujitsu Semiconductor Memory Solution, °K. Toprasertpong, K. Tahara, Y. Hikosaka, K. Nakamura, H. Saito, M. Takenaka, S. Takagi E-mail: toprasertpong@mosfet.t.u-tokyo.ac.jp

【背景】Hf_xZr_{1-x}O₂(HZO)を含めた HfO₂系強 誘電体は従来のペロブスカイト型強誘電体と 比べて CMOS 親和性が優れており、最先端 LSI の混載強誘電体メモリとして大きな注目を集 めている。しかし、大きい動作電圧および絶縁 破壊による低い書き換え回数 (劣ったエンデュ ランス特性) が顕著な課題であるとされている。 前回の報告では HZO を 4 nm まで薄膜化する ことで動作電圧を1 V 以下まで下げられるこ とを明らかにした[1]。本研究は、薄膜にするこ とで低電圧化に加え、低電圧でのリテンション 特性およびエンデュランス特性の向上も得ら れることが明らかになったので報告する^[2]。

【実験手法】 膜厚 4.0~9.5 nm の HZO を ALD 法で成膜し、TiN/HZO/TiN の MFM キャパシタ を作製した。結晶化に必要な温度は薄膜化とと もに上がるため^[1-2]、4 nm 試料において 500°C、 4.6 と 5.6 nm 試料において 450℃、それ以上の 膜厚において 400℃ でのアニールを行った。

絶縁破壊耐性の評価において、電圧掃引を行 い、絶縁破壊が観測される電界を評価した。リ テンション測定ではウェイクアップ(10²~10⁶ 回の4 MV/cm の電界サイクリング)後に 80℃ の温度で Same-state (SS) および Opposite-state (OS) のリテンション特性を評価した。エン デュランス測定ではウェイクアップ後に 10 μs のパルス電圧による書き換えを所定の回数で 行った後にヒステリシス特性の評価を行った。

【結果と考察】P-V ヒステリシス特性を Fig.1 に示す。通常7 nm 以上の膜では 1.2 V で分極 反転が難しいのに対し、7 nm 以下ではヒステ リシスが確認された。一方、Fig. 2(a)に示した SS リテンション特性を見ると、1.2 V で書き込

んだ直後では強誘電特性が現れた膜の中でも、 膜厚によって分極状態の保持時間が大きく異 なることが確認できた。これは同じ書き込み電 圧に対して薄い膜の方が印加電界が強く、しっ かり書き込まれると説明できる。Fig. 2(b)の OS リテンション特性はインプリントの影響で特 性が落ちる傾向が見受けられるが、SS と同様 に薄膜の方が優れた特性を持っている。

HZOの標準的な膜厚である10nm前後では、 絶縁破壊電界が 3.5 MV/cm 程度で抗電界(1.5 MV/cm 程度) に近く、メモリ動作中に絶縁破 壊が起こりやすい。一方、Fig.3に示したよう に、薄膜になるほど絶縁破壊電界が高くなり、 絶縁破壊耐性が改善されることが見て取れる。 これは同じ電界でも薄い膜にかかる電圧が低 く、両電極から膜に注入する電子のエネルギー が低下することによると考えられる^[3]。4 nm に 薄膜化されると絶縁破壊電界が倍ほど改善す ることにより、エンデュランス特性も大幅に向 上した。Fig. 4 に示した通り 10¹⁰回書き換えて も安定にメモリ動作でき、絶縁破壊が起こるま での書き換え回数が 10¹⁴ 回以上に向上したと 見積もられる(10 MHz 動作)。

【結論】強誘電体 HZO の薄膜化技術が FeRAM 動作の低電圧化のみならず、リテンションとエ ンデュランス特性といった素子信頼性向上に も大きく貢献することがわかった。

【謝辞】本研究は、科学研究費(21H01359)、JST-CREST (JPMJCR20C3)、文部科学省ナノテクノシ、-フ。 ラットフォーム (JPMXP09A19UT0110)の支援により実施した。 【参考文献】

[1] 田原他、第 68 回春季応用物理学会、16p-Z26-5 (2021). [2] K. Tahara *et al.*, *VLSI Tech.*, T7-3 (2021).
[3] K. F. Schuegraf *et al.*, *IEEE Trans. Elec. Dev.* 41, 761 (1994).



Fig.1 P-V hysteresis loop at ±1.2 V

Fig.2 Same-state and oppo- Fig.3 Leakage current and site-state retention at 1.2 V breakdown characteristics



Fig.4 Endurance of 4-nm HZO at 1.2 V