

ミニマルファブにおけるトランジスタ構造と オペアンプ特性に関する検討

Investigation of the Relationship between the MOSFET Structure of minimal Fab and
the Characteristics of the Operation Amp

ミニマルファブ推進機構¹, 産総研²

○浜本 毅司¹, 加瀬 雅², クンプアン ソマワン^{1,2}, 原 史朗^{1,2}

MINIMAL¹, AIST²

○Takeshi Hamamoto¹, Masashi Kase¹, Somwan Khumpuang^{1,2}, and Shiro Hara^{1,2}

E-mail: takeshi.hamamoto@minimalfab.com

【背景】ミニマルファブは多品種少量生産をターゲットとした生産システムである[1]。このミニマルファブでのデバイス適応実績としては、カンチレバーに代表される MEMS デバイス、CMOS およびそれを用いた Ring Oscillator とオペアンプ、更には 1,000 Gate レベルの集積回路の動作検証が終了し、試作ファブとして実用化されている。今後は、生産ファブへと進歩させると共に、アナログなどノウハウの蓄積が求められるデバイス応用への展開も重要である。本発表に於いては、アナログデバイスとして代表的なオペアンプを取り上げ、ミニマルファブのトランジスタ構造として、基板がシリコンウエハーである Bulk CMOS と SOI (Silicon on Insulator) である SOI CMOS におけるトランジスタ特性とオペアンプ特性の比較を行う。CMOS デバイス自体は Bulk/SOI とも試作を終えているが、オペアンプは個々のトランジスタで L/W が異なり、全体動作の理解はデジタル向けと比較して格段に難しいのでシミュレーションの有用性は高い。現状、Bulk CMOS が完成した段階であり、オペアンプ特性の比較は SPICE シミュレーションで行った。

【MOSFET 構造および特性】図 1 にミニマルファブのトランジスタ構造を示す。上段は Bulk CMOS 構造、下段は SOI CMOS 構造である。Bulk CMOS はゲート電極として Al を採用、ゲート酸化膜厚は 40nm である。基板は n 型 Si を用いた。PMOS 領域には well は形成せず、チャネル不純物は基板にドーパされた磷(濃度 $2 \times 10^{14} \text{cm}^{-3}$)を用いた。NMOS 領域には p 型 well を形成し、ボロンを表面濃度 $6.5 \times 10^{16} \text{cm}^{-3}$ で拡散した。一方、SOI CMOS はゲート電極として TiN を採用、ゲート酸化膜厚は 15nm である。Si 膜厚 100nm および埋込酸化膜厚は 400nm、NMOS および PMOS ともチャネル領域に不純物ドーピングは行わず、閾値は TiN の仕事関数で制御している。図 2 に Bulk CMOS および SOI CMOS の MOSFET 特性として、 V_D - I_D 特性を示す。SOI CMOS は FD (Fully Depleted) 動作のため、通常 2V 付近に見られるはずの基板浮遊効果に起因するキंकが見られないのが特徴である。

【オペアンプ回路および周波数特性】図 3 にオペアンプ回路、Feed Back 回路および SPICE シミュレーションで求めた電圧利得の周波数依存性を示す。

(a) オペアンプは、差動増幅機とソースフォロワーから成る二段の増幅回路と位相補償回路から成る基本的な増幅回路である。(b) Feed Back 回路は、 $R1:1.0 \text{k}\Omega$ 、 $R2:4.7 \text{k}\Omega$ 、に設定、電圧利得は、 $R2/R1=4.7$ 、となる。(c) 電圧利得は、Bulk CMOS に関する SPICE シミュレーションで求めた結果である。電圧利得 4.7 は 13.4dB に相当し、低周波領域におけるシミュレーション結果の値と一致した。実測と SPICE シミュレーションの比較、Bulk CMOS と SOI CMOS の比較などの詳細を当日報告する。

【参考文献】

[1] 原 史朗、クンプアン ソマワン: 「ミニマルファブの開発とそのデバイスプロセス」, 応用物理学会誌 83 (5), p. 380 (2014)。

この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の助成事業 (JPNP12004) の結果得られたものです。

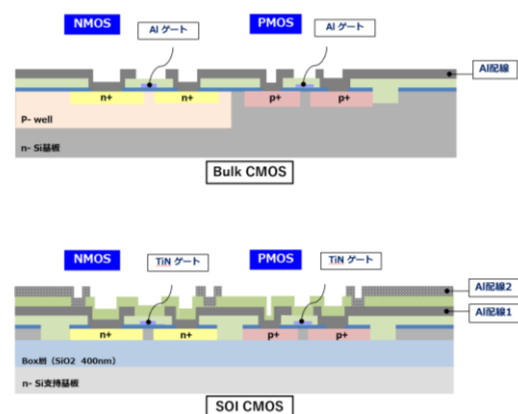


図1 ミニマルファブ トランジスタ構造

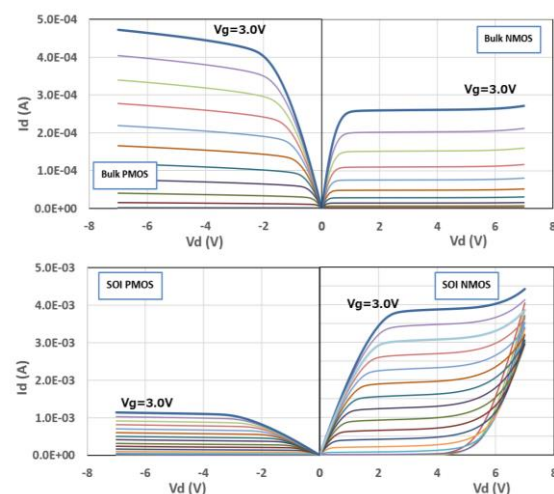


図2 MOSFET特性 (W/L = 100μm/10μm)

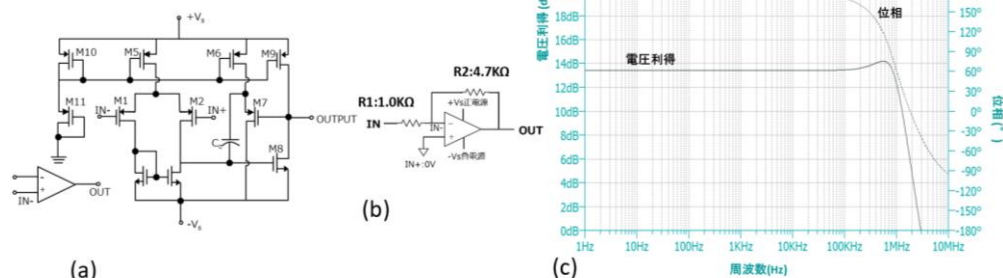


図3 (a)オペアンプ回路, (b)Feed Back回路, (c)電圧利得周波数依存性 (SPICE Simulation)