

FeFET の電気特性劣化がリザーバーコンピューティングにもたらす影響

Impact of degradation of electrical characteristics of FeFETs on reservoir computing

東大工 〇名幸 瑛心, トプ ラサートポン ガディット, 王 澤宇, 中根 了昌, 竹中 充, 高木 信一

〇E. Nako, K. Toprasertpong, Z. Wang, R. Nakane, M. Takenaka, S. Takagi

(Univ. Tokyo, School of Engineering)

E-mail: nako@mosfet.t.u-tokyo.ac.jp

【はじめに】我々は、時系列処理に強いリザーバーコンピューティング[1]を実装する為のデバイスとして、短期記憶特性と非線形性をもつ強誘電体ゲート FET (FeFET)を用いる方法を提案し、その動作を実証し[2]、FeFET の強誘電性がリザーバー計算の性能向上に寄与する事を確認した[3]。一方で、FeFET は書き換え回数が増加するとヒステリシスが小さくなり、強誘電性が劣化する性質があり、これがリザーバー計算の性能に影響する可能性がある。そこで本研究では、ゲート入力パルスの累計入力回数に応じて FeFET リザーバー計算の性能がどのように変化するかを検証した。

【実験手法】FeFET によるリザーバー計算の概要を Fig. 1 に示す [2, 3]。パルス幅 4 μ s、動作電圧振幅 ± 3 V、中心電圧 0.5 V の三角波パルスで構成された電圧波形を FeFET のゲート電極に印加した。パルスの正/負が時系列データの 1/0 に対応しており、この入力電圧に強誘電体の分極が応答して、ドレイン電流が複雑に変化する。1 パルスを 200 等分した時間間隔毎に、ドレイン電流を計測し、それらを仮想ノードとして扱った。仮想ノードに適切な重みをかけて和を取る事でリザーバーの出力値とした。重みは学習用のデータに対してリッジ回帰を行う事で最適化した。実験には、TiN/Hf_{0.5}Zr_{0.5}O₂(10 nm)/SiO₂(0.7 nm)をゲートスタックに持つ Si FeFET を用いた。Hf_{0.5}Zr_{0.5}O₂ は、ALD 法により 300 $^{\circ}$ C で堆積を行い、400 $^{\circ}$ C での熱処理を行なった。今回の実験ではゲート長 5 μ m、ゲート幅 100 μ m の FeFET を用いた。

性能を評価するために Short Term Memory (STM)タスクでは Memory Capacity (MC)を、Parity Check (PC)タスクでは Parity Check Capability (PCC)を求めた[4]。5000 個のパルス列をランダムに 5 等分し 1000 パルスずつのデータセットに分け、1 つを推論に他の 4 つを学習に用いた。各データセットの組み合わせに対して学習・推論を行い、得られた MC と PCC の平均値を求めた。パルスの累計入力回数に応じて、FeFET のしきい値電圧及び MC と PCC の変化を調べた。更に累計入力回数が 10^4 、 10^5 、 10^6 パルスに達した時のデータを学習して得られた重みベクトルで値を固定し、その後も入力を続けた場合のリザーバー計算の性能の変化を、累計入力回数を変えて評価した。

【実験結果・考察】Fig. 2 に示す様に、パルスの累計入力回数の増加によって、高い方のしきい値電圧は低下し、低い方のしきい値電圧は上昇して、メモリウィンドウが縮小していく事が分かる。しきい値電圧の変化は、概ねパルス入力の数に対して変化し、累計入力回数が少ない段階では大きく、累計入力回数が増えると緩やかになる傾向が見て取れる。一方、Fig. 3 に示す様に、リザーバー計算の性能の指標である MC と PCC は、重みを各パルス回数に達した時のデータで更新する限りでは、累計入力回数に対して大きく変動しない事が分かる。この結果は、繰り返し入力によっ

て FeFET のメモリ特性が劣化しても、リザーバーとしては適切に機能できる事を示している。Fig. 4 には、 10^4 、 10^5 、 10^6 パルスに達した時のデータを学習して得られた重みで値を固定し、その後も入力を続けた場合の MC と PCC を示す。Fig. 2 で見られるように FeFET の電気的特性が変化しているため MC と PCC が共に低下していく様子が見られる。しかし、 10^6 パルスに達したときのデータによって得られた重みで推論した場合の MC と PCC は、 10^4 、 10^5 で学習した場合の MC と PCC よりも低下しにくい事が分かる。これはある程度ストレスがかかったデバイスでは特性の変化が緩やかになるため、応答波形が変化しにくい為であると考えられる。

【結論】FeFET リザーバーは推論を行う直前に学習させる事で、FeFET のメモリ特性が劣化しても、高いリザーバー計算の性能を維持できる。また、学習に使う重みを更新しない場合でも、ある程度ストレスをかけた状態のデバイスを使用する事でリザーバー性能の低下を抑える事ができる。

【謝辞】本研究は、JST-CREST (JPMJCR20C3)、JSPS 科研費 (21H01359) の支援を受けて実施された。

【参考文献】[1] G. Tanaka *et al.*, Neural Networks **115**, 100 (2019) [2] トプ ラサートポン他、秋季応物学会 19p-F211-4 (2019) [3] E. Nako *et al.*, VLSI symposia, TN1.6 (2020) [4] T. Furuta *et al.*, Phys. Rev. Applied **10**, 034063(2018)

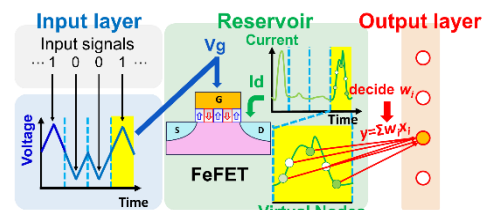


Fig. 1 Operation scheme of FeFET-based reservoir computing

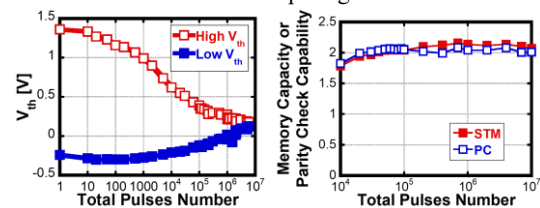


Fig. 2 V_{th} shift of FeFET during reservoir computing operation

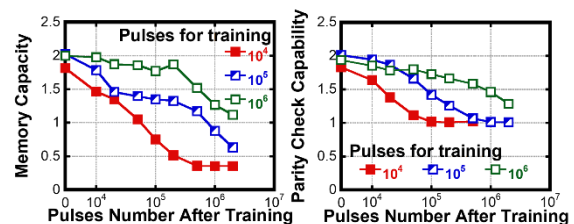


Fig. 4 Memory capacity and parity check capability with fixed weights