

ボディバイアス制御 ULVR-SRAM の設計と解析

Design and analysis of ULVR-SRAM using automatic body-bias control

東工大未来研 °斎藤修平, 塩津勇作, 原拓実, 山本修一郎, 菅原聡

°S. Saito, Y. Shiotsu, T. Hara, S. Yamamoto, and S. Sugahara, *FIRST, Tokyo Inst. of Tech.*

E-mail: saito.s.az@m.titech.ac.jp

【はじめに】 キャッシュのリーク電力はマイクロプロセッサや SoC といった CMOS ロジックシステムの性能を制約する重要な要因となっている。パワーゲーティング(PG)は現在の CMOS ロジックシステムに標準的に搭載されている待機時電力削減技術である[1]。しかし、キャッシュは揮発性の SRAM で構成されるため、PG の高効率化は容易ではない。我々は超低電圧でのリテンション(ULVR)が可能な ULVR-SRAM を提案している[2]。この ULVR 動作はリークの削減率が大きく、また Break-even time も短いことから高効率の PG が可能となる。これまで、SOTB デバイスを用いた ULVR-SRAM の検討を進めてきた。特に、ヘッダとフッタの両パワースイッチ(PS)を導入し、ULVR 時にのみボディバイアス(BB)が自動的に印加され、より効果的にリークを削減できる構成について検討してきた[3]。この構成では ULVR 時の雑音余裕も向上できる。今回はバルクデバイスを用い、ヘッダ PS のみによる ULVR-SRAM の自動 BB 制御を検討する。

【回路構成】 図 1 に ULVR-SRAM セルの回路構成を示す。セルの電源は仮想電源(V_{DD})線を通じて供給し、 V_{DD} は 2 本の電源線($V_{DDH}=1.0V$, $V_{DDL}=0.3V$)と 2 つの PS によって生成する。ULVR-SRAM セルはデュアルモードインバータで構成され、フィードバック Tr (FBT)のバイアスを固定($\sim 0.3V$)しておくことで、 V_{DD} の大きさに応じて、高性能 SRAM 動作可能なノーマルインバータ(NI)モードと、超低電圧で安定にデータ保持が可能なシュミットリガ(ST)モードに自動的に切り替わる。また、セル内の pMOS のボディを V_{DDH} 線に接続することで、ULVR 時にのみ BB を自動的に印加できるが、ULVR 時における FBT の駆動能力を確保するため FBT のみしきい値の低い pMOS を用いる。

【設計手法と結果】 デバイスには 45nm バルク CMOS を使用し、セルの設計と解析は HSPICE で行った。ノイズ耐性は擬スタティックノイズマージン(QSNM)を用いて評価した。全動作のうちワーストケースは ULVR である。この ULVR 時の QSNM を最大化するようにドライバと FBT のチャンネル幅(W_{DRV} , W_{FB})を最適化した。図 2 に QSNM の W_{DRV} および W_{FB} 依存性を示す。プロットはワーストケースとなるプロセスコーナーの QSNM を示してあり、明るい色に近づくほど QSNM が高いことを表している。今回は 160mV 以上の QSNM を確保できる設計の中から、最もリーク電力の小さくなる $W_{DRV}=110nm$, $W_{FB}=170nm$ を採用した。図 3 に、この設計を用いた ULVR-SRAM セルの ULVR 時における QSNM を示す。同図には自動 BB 制御の生じない場合も示してある。また、参考のため 6T-SRAM の結果も示す。6T セルの設計は報告値を参考にした[4]。自動 BB 制御を導入した ULVR-SRAM セルは極めて高い QSNM を確保できる。よって、ヘッダ PS のみの構成による自動 BB 制御も ULVR 時の QSNM の向上に有効である。図 4 に各セルのリーク電力を示す。ULVR-SRAM セルでは 0.3V の ULVR, 6T セルの 0.7V のスリープを用いた。また、スタンバイ状態はクロックゲーティングの有無による 2 つの状態を検討した(SB1, SB2)。ULVR-SRAM セルは 6T-SRAM セルに比べて高いリーク電力の削減率を示す。また、自動 BB 制御を導入することで待機時電力削減率の向上も期待できる。ヘッダ PS 構成による自動 BB 制御はバルクデバイスで構成した ULVR-SRAM にも有効である。

【謝辞】 シミュレーションは東京大学大規模集積システム設計教育センター(VDEC)を通しシノプシス株式会社の協力で行われたものである。

【参考文献】 [1] Y. Kanno *et al.*, *IEEE J. Solid-State Circuits* **42**, 1, pp. 74–83, 2007. [2] 北形他, 第 81 回応用物理学会秋季学術講演会, 2020, 11a-Z09-9. [3] 吉田他, 第 67 回応用物理学会春季学術講演会, 2020, 12p-A305-9. [4] S. Rusu *et al.*, *IEEE ISSCC* 2006, pp. 315–324.

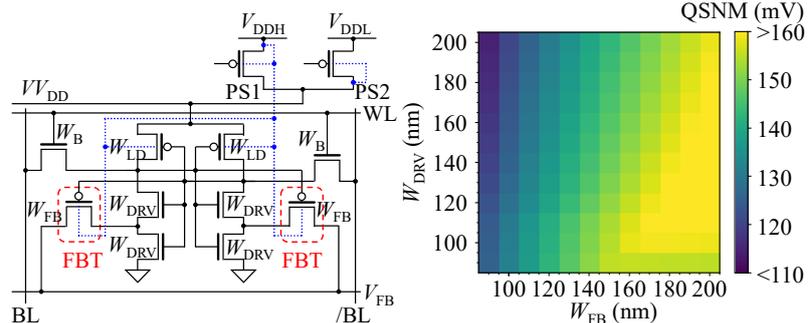


図 1. ULVR-SRAM セルの構成

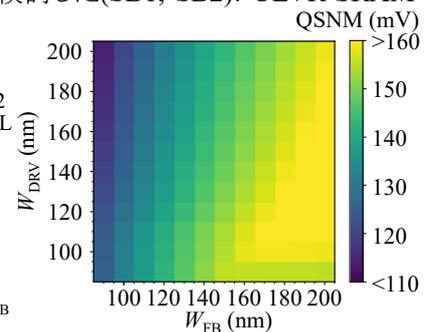


図 2. QSNM の W_{DRV} , W_{FB} 依存性

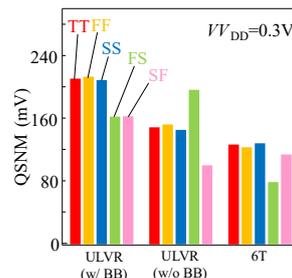


図 3. ULVR 動作での QSNM の比較

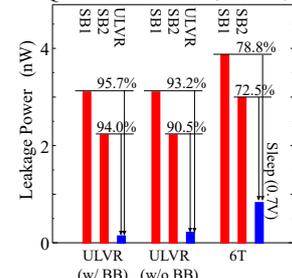


図 4. リーク電力の比較