

ミニマルファブで NSG を用いた多層配線プロセスの検討(Ⅱ)

Study of multilayer wiring process using NSG in Minimal Fab(Ⅱ)

加瀬 雅¹, クンブアン ソマワン^{1,2}, 原 史朗^{1,2}
産総研¹, ミニマルファブ推進機構²AIST¹ and MINIMAL²Masashi Kase¹, S. Khumpuang^{1,2}, and S.Hara^{1,2}

E-mail: kase-masashi@aist.go.jp

【背景・目的】

我々は局所クリーン化技術でクリーンルームを不要とし、規格化した超小型の製造装置とウェハで、1枚ずつ製造する超小型デバイス製造システム・ミニマルファブの開発を行っている[1]。現在、主要前工程は実用商品のレベルとして販売されている。これらを用いて、これまでバルクCMOS及びSOI-CMOSの試作に成功しており、今後はデバイスのシュリンク化へ向けて、配線も2層以上の多層配線の開発を検討している状況である。

多層配線の層間膜に用いられる絶縁膜には、種々の成膜方法、種々の絶縁膜がある。ミニマルファブではシンプルで安定、かつ安価のプロセスを目指している。これに該当するのがSOG(Spin-On-Glass)材料をスピコートする成膜法の応用したもので、ノンドープ材料であるNSG(Non dope Silicate Glass)を用いる絶縁膜成膜法である。SOGは古い技術であるが、ミニマルファブではトランジスタの開発当初からソース/ドレインの不純物拡散にはSOGを用いているので、装置の使用実績は十分にある[2]。

前回の報告で、NSGを用いた多層配線プロセスの評価ポイントとして、①NSG上のAl配線が断線せずにパターンが形成されていること、②NSGの加工としてVia1, Via2のエッチングができ開口していること、③Al1-Al2, Al2-Al3が絶縁されていること、④アニール後、水素シンタリング後にNSGにクラックが無いこと、の4つを上げた[3]。前回、①～③は達成することができたが、④に関しては水素シンタリング後に写真1のウェハ中央部、写真2のウェハエッジ部にクラックが発生した。今回、NSG塗布時のエッジリンス適用、NSG塗布後のアニール温度を変更しAl三層配線TEGの試作を行った。

【実験方法】

実験には、直径12.5mmのSi基板を用い、ウェハへのプロセッシングには全てミニマル装置を用いた。最初にSi基板をSPMとRCA洗浄を施した後、熱酸化膜140nmを形成し、この上に膜厚300nmの配線第1層目のAl1パターンを形成した。その後、スピコート法により膜厚180nmのNSG1を塗布し、抵抗加熱炉で500℃、5minの熱処理を施した。NSGには有機溶剤が含まれているため、多層配線の層間膜に適用するには揮発させる必要がある。そのため、NSG塗布後に熱処理を施している。NSG1上に、膜厚300nmの配線第2層目

のAl2を形成し、膜厚180nmのNSG2を塗布し抵抗加熱炉で500℃、5minの熱処理を施した。さらに、NSG2上に膜300nmの配線第3層目のAl3を形成し、最後にレーザ加熱装置によりシンタリング(400℃、5min)を施した後に顕微鏡観察を行った。

【実験結果】

今回試作したウェハ中央部を写真3、ウェハエッジ部を写真4に示す。今回の試作ではウェハ中央部、エッジ部ともにクラックの発生は無かった。前回の試作ではNSG1、NSG2成膜後の熱処理温度は抵抗加熱炉で400℃、5minであった。この条件ではNSGに含まれる有機溶剤の揮発が不十分であったため、シンタリングを施すと有機溶剤が膨張しクラックが発生した。今回の熱処理は抵抗加熱炉で500℃、5minで施したので十分に有機溶剤が揮発し、NSGのクラックが抑制できたと考えられる。

また、前回の報告で写真2のようなウェハエッジ部でクラックが発生した。このクラックは、NSG塗布時に起こるエッジビートで発生しウェハ中央部へ伸びているのが判る。エッジビートとは、ウェハエッジでの表面張力でNSGが盛り上がる現象である。このクラックを抑制するには、NSG塗布時にエッジリンスを施し、エッジビートを除去すればよいと考えられる。写真4にNSG1、NSG2でエッジリンスを施し試作したウェハエッジの写真を示す。エッジビートが綺麗に除去されクラックの発生は抑制できた。今後、今回のプロセスをデバイスに適用し電気測定を行っていく。

【謝辞】

この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の助成事業(JPNP12004)の結果得られたものです。

【参考文献】

- [1] 原 史朗, クンブアン ソマワン, 「ミニマルファブの開発とそのデバイスプロセス」, 応用物理, 83(5), 380 (2014).
- [2] 古賀 和博, 他, 「ミニマル液体ドーパントプロセスによるCMOS試作」, 第76回応用物理学会春季学術講演会, 13p-1C-4 (2015)
- [3] 加瀬 雅, 他, 「ミニマルファブでNSGを用いた多層配線プロセスの検討」, 第68回応用物理学会春季学術講演会, 19a-Z24-10(2021)

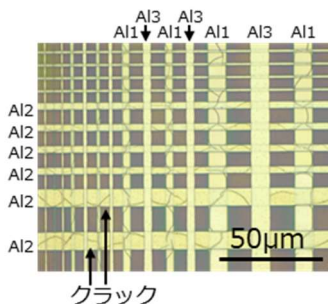


写真1: 前回試作のウェハ中央部

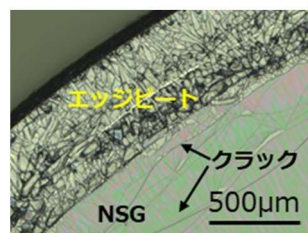


写真2: 前回試作のウェハエッジ部

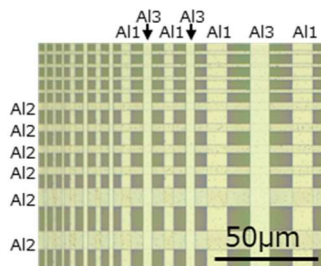


写真3: 今回試作のウェハ中央部

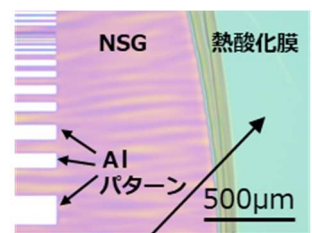


写真4: 今回試作のウェハエッジ部