

## ミニマルデバイステスト装置の開発

Development of Minimal Tool for Device Electrical Measurement

<sup>1</sup>産総研, <sup>2</sup>ロジック・リサーチ, <sup>3</sup>TCK, <sup>4</sup>三友製作所, <sup>5</sup>ミニマルファブ推進機構

<sup>1</sup>AIST, <sup>2</sup>Logic Research Co.,Ltd., <sup>3</sup>TCK Inc., <sup>4</sup>Sanyu Co.,Ltd., <sup>5</sup>Minimal Fab Promoting Organization

○居村 史人<sup>1</sup>, 村嶋 義秀<sup>2</sup>, 松田 誠宙<sup>2</sup>, 土屋 忠明<sup>2</sup>, 善養寺 薫<sup>3</sup>, 大江 隆<sup>3</sup>,

小坂 光二<sup>3</sup>, 新堀 俊一郎<sup>4</sup>, 早川 透<sup>1</sup>, クンプアン ソマワン<sup>1, 5</sup>, 原 史朗<sup>1, 5</sup>

○Fumito Imura<sup>1</sup>, Yoshihide Murashima<sup>2</sup>, Masahiro Matsuda<sup>2</sup>, Tadaaki Tsuchiya<sup>2</sup>, Kaoru Zenyouji<sup>3</sup>, Takashi Ohe<sup>3</sup>, Kouji Kosaka<sup>3</sup>, Shun-ichirou Shimbori<sup>4</sup>, Toru Hayakawa<sup>1</sup>, Sommawan Khumpuang<sup>1, 2</sup> and Shiro Hara<sup>1, 2</sup>

E-mail: fumito.imura@aist.go.jp

【はじめに】 半導体工場の設備投資の課題を解決する超小型半導体生産システム、ミニマルファブの開発が進められている。ミニマルファブでは、これまでに、TiN ゲート SOI-CMOS プロセスと 2 層 AI 配線プロセスを用いて、トランジスタ数約 1,000 ゲート規模の集積回路の作製に成功している[1]。学会でトランジスタが一つ動作したという報告と異なり、一般的に、このような 100 工程を超える半導体製造プロセスで高歩留りを維持し、高信頼性の実用半導体デバイスを開発するには、ウェハ面内の多くのデバイスの特性分布を調べ、それをプロセスにフィードバックして改良することを繰り返す必要があり、ウェハ面内の 100 個のデバイスがあったとして、ウェハを 100 枚も測れば IV/CV 測定量はすぐに数万(電圧プロット数ではその 100 倍以上)を超える。プロセスの歩留り管理の他に、トランジスタ・多層配線プロセスなどのプロセス開発への迅速なフィードバック、回路設計に必要な SPICE モデリングによるデバイスパラメータの抽出、さらに、パッケージング時の良品チップの選別 KGD(Known Good Die)などが挙げられる。ミニマルファブにおいても、これらの要求に応えるため、ミニマル装置規格を満たすデバイス電気計測装置、ミニマルデバイステストを開発した。デバイスの電極パッドに自動でプロービングし、安定した電気特性結果を得るには、(1)プローブの繰り返し精度の高い位置決めができること、(2)電極パッドの酸化被膜を除去しプローブと電極パッド表面の低抵抗かつ安定した電氣的接触が得られること、(3)ウェハ全面のデバイスを高スループットで測定ができること、などが課題として挙げられる。そこで、今回、これらの課題解決に向けて開発したミニマルデバイステストを評価したので報告する。

【装置概要】 図 1 に開発したミニマルデバイステストの外観、搭載機器、プロービング時のカメラ画像を示す。CAD で指定した各種デバイスの電極パッドにプローブ先端を独立して位置決めするためのマニピュレータを 5 台搭載した。プローブが取り付けられたマニピュレータのアーム上に半導体ひずみゲージが取り付けられており、プロービング時のアームのたわみを検出することでプロービング時の荷重を制御できる。ウェハステージとマニピュレータは窒素加圧チャンバー内に搭載しており、窒素雰囲気下で電極パッド表面の酸化を抑制した安定したプロービングができる。

【実験】 ミニマルファブのウェハプロセス装置群を用いて 44 工程で AI ゲート pMOSFET をハーフインチウェハ面内に 99 個形成した。ミニマル EDA ツール(LAVIS)を用いて、CAD レイアウト設計データからプロービングパッドの座標データ抽出し、 $I_d-V_d$ ,  $I_d-V_g$  特性の測定パラメータを設定し、装置にレシピを入力した。プロービング荷重は 1.2gf と設定した。

【結果】 pMOS は全部で 99 個あるので、仮に人が一日 8 時間測定をし続けるとして、4 日間かかる。実際はそれは苦痛なので、たいてい人手では結局全部測定はせず間引きで済ませてしまうのが普通である。このことによって、統計的なばらつきが評価できなくなっている。これに対して、本装置では、pMOS 全 99 個の自動測定では、全測定が 16 時間 34 分で済んだ。内訳は、ウェハ搬送・回収 40 秒、ウェハアライメント 110 秒、pMOS 1 個目のプロービング 120 秒、2 個目以降のプロービング 25 秒、pMOS 1 個当たり  $I_d-V_d$  測定 410 秒、 $I_d-V_g$  測定 120 秒、測定終了時のマニピュレータ・ステージ移動 80 秒であった。 $I_d-V_d$  測定時間は過剰な測定時間を設定してしたため、今後は約 30%程度 の時間短縮を見込んでいる。プロービング時間も位置決め最適化より時間短縮可能である。図 2 に pMOS 全 99 個の  $I_d-V_g$  特性を示す。オフリーク電流は pA レベルの微小電流を測定できており、99 個中 85 個で良好な  $I_d-V_g$  特性が得られた。残りの 14 個のうち 8 個(赤色箇所)は、ウェハステージ位置決め時に 50 $\mu$ m 以上ずれが発生し、100 $\mu$ m 角の電極パッドにプロービングできていないことが原因である。装置不具合はあるが基本的な装置の性能は達成されており、今後、ミニマルファブのデバイス開発に大きく貢献することが期待される。

謝辞 この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の助成事業(JPNP12004)の結果得られたものです。

### 参考文献

[1] 森川他, 第 80 回応用物理学会春季学術講演会, 19a-E304-6, 2019.

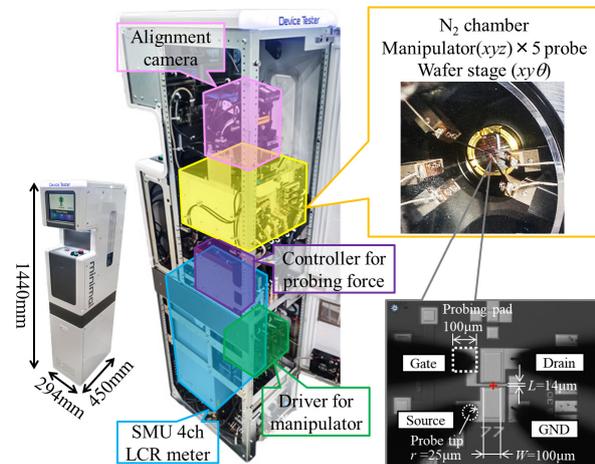


図 1. ミニマルデバイステスト装置

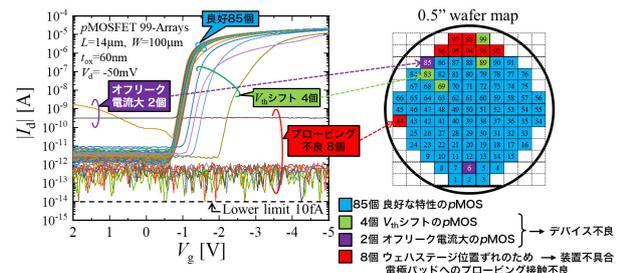


図 2. pMOSFET 99 個の自動プロービング時の  $I_d-V_g$  測定結果