

## 磁性ジョセフソン接合を用いた インパルス駆動型超伝導メモリセルの動作実証 Demonstration of impulse-driven superconductor memory cell with a magnetic Josephson junction

名大院工,<sup>○</sup>藤澤 日向, 竹下 雄登, 加藤 健人, 東 正志, 李 峰,  
田中 雅光, 山下 太郎, 藤巻 朗

Nagoya Univ.<sup>1</sup>, <sup>○</sup>Hinata Fujisawa, Yuto Takeshita, Kento Kato, Masayuki Higashi, Feng Li,  
Masamitsu Tanaka, Taro Yamashita, and Akira Fujimaki

E-mail: [fujisawa@super.nuee.nagoya-u.ac.jp](mailto:fujisawa@super.nuee.nagoya-u.ac.jp)

**背景** 単一磁束量子(SFQ)回路は、パルス信号を用いた、高速・低消費電力な論理回路であるが、その高速性に追従するマトリクスメモリの不在が課題となっている。そこで我々は、時定数の制約が無く、高速動作が可能なインパルス駆動型メモリを提案している [1]。これまでに、磁性ジョセフソン接合による $\pi$ 接合を含む  $0-\pi$  SQUID において、接合の臨界電流値と超伝導ループインダクタンスの積 ( $LI_c$  積) を可能な限り小さくすることで、パルス信号での内部状態の切り替えを実験的に確認することができた[2]。

本研究では、マトリクスメモリ動作に必要な不可欠な、2本の制御線の同時選択による書き換えの実証を目指し、メモリセルの作製と評価を行った。

**メモリセルの作製** Fig. 1 に本研究で設計したメモリの等価回路を、Fig. 2 に顕微鏡写真を示す。このメモリセルのビット線にはパルス発信器が接続され、左または右側からパルス信号が送られる。一方、ワード線には、 $I_{word}$  を入力すると超伝導ループの  $LI_c$  積が下がり、書き換えに必要なエネルギーを小さくすることができる。 $I_{word}$  を入力すると同時に  $I_{bit}$  を入力するとメモリセルの書き換えが行われるため、同時選択での書き換えが可能となる。本研究では、読み出し回路は非対称な DC-SQUID を用いることで、ループに保持された情報が “1” 状態の時のみ SQUID が電圧状態になり、 $V_{out}$  に電圧が現れるようにした。設計したメモリセルは産業技術総合研究所のニオブ 4 層プロセスで試作したデバイス上に Nb/PdNi/Nb 接合による $\pi$ 接合を形成して作製を行った。

**測定結果** 今回の測定では  $I_{word}$ 、 $I_{read}$  には DC を入力し、ビット線にパルス信号を入力して行った。結果を Fig. 3 に示す。まず、 $L-I_{bit-in}$  により左側からビット線にパルスを送り、その次に  $R-I_{bit-in}$  により右側からビット線にパルスを送っているが、 $V_{out}$  の出力はない。次に  $L-I_{bit-in}$  によるパルスと  $I_{word}$  の同時選択によってメモリを “1” に書き換え、 $I_{read}$  の入力によって  $V_{out}$  の出力を確認した。次は  $R-I_{bit-in}$  によるパルスと  $I_{word}$  の同時選択によってメモリを “0” に書き換え、この状態の時は  $I_{read}$  の入力によって  $V_{out}$  に電圧が出力されないことを確かめた。以上から、1bit の情報を

保持するメモリセルの同時選択での書き込みを、DC-SQUID による読み出しにより実証することができた。複数のメモリセルの書き込み、及びパルス信号による読み出しが次の段階となる。

**謝辞** 本研究は、特別推進研究(18H05211)及び基盤研究(S)(JP19H05615)の支援を受けて実施したものである。本研究で利用した回路の一部は、産業技術総合研究所(AIST)の CRAVITY において作製された。

### 参考文献

- [1] Y. Takeshita *et al.*, IEEE Trans. Appl. Supercond., vol. 31, no. 5, p. 1100906, 2021.  
[2] 藤澤 他, 第 68 回応用物理学会春季学術講演会, 18p-Z27-12, 2021

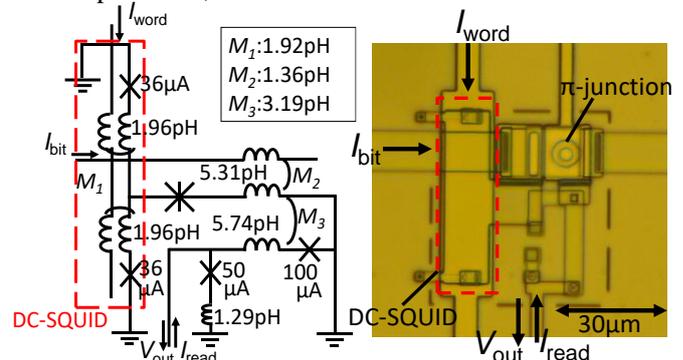


Fig.1. Design parameter of memory cell.

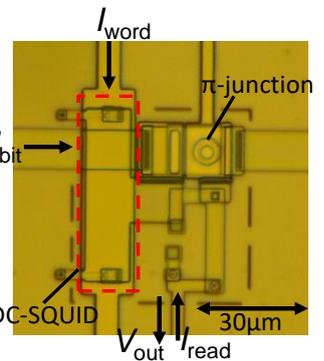


Fig.2. Photograph of memory cell.



Fig.3. Measurement result.