

インパルス信号による超伝導マトリクスメモリの内部状態の読み出し

Readout operation of superconducting matrix memory driven by impulse signals

名大院工, °加藤 健人, 竹下 雄登, 藤澤 日向, 東 正志,
李峰, 田中 雅光, 山下 太郎, 藤巻 朗

Nagoya Univ., °Kento Kato, Yuto Takeshita, Hinata Fujisawa, Masayuki Higashi,
Feng Li, Masamitsu Tanaka, Taro Yamashita, and Akira Fujimaki

E-mail: k.kato@super.nuee.nagoya-u.ac.jp

背景 単一磁束量子回路は、その高速動作性から高性能計算機などへの応用が期待されているが、レジスタの性能に追従する高速中容量メモリの不在が課題となっている。そこで我々は、 π 位相シフト磁性ジョセフソン接合(磁性 π 接合[1])を導入した、パルス駆動型超伝導マトリクスメモリの開発を進めている[2]。これまでに、インパルス信号による内部状態書き換えの可能性を示してきた[3]。

その一方で、インパルス信号を用いた読み出しが課題として残っていた。これまでの実験ではメモリの内部状態の読み出しに FLL (Flux Locked Loop) 回路を用いた SQUID を使用していたが[2]、マトリクスメモリの読み出しにはこの方法は利用できないため、書き込み動作と同様にインパルス信号を用いた、新たな読み出し方法が必要である。

そこで本研究では、 π 接合を含んだ非対称の SQUID を用いた、インパルス信号による読み出し回路を提案し、その動作をシミュレーションで確認した。

インパルス信号による読み出し 提案するメモリセルは、Fig.1 のように情報を記憶する Storage Loop と Storage Loop と磁気結合 (M_{share}) した非対称 SQUID (Readout SQUID) で構成され、Storage Loop 内の周回電流の向きを 0 と 1 の二状態に対応させる。

このメモリセルには、書き換えに使用する制御線 $I_{write-word}$ と $I_{write-bit}$ 、読み出しに使用する制御線 $I_{read-word}$ と $I_{read-bit}$ の 4 本の制御線が存在し、入力インパルス信号により磁束を加える。書き込みと読み出しのどちらの場合も、bit 線と word 線に同時入力があった場合のみ動作させることにより、マトリクス構造を実現することができる。

Readout SQUID には常に一定のバイアス電流が印加されており、そこにインパルス信号 $I_{read-word}$ と $I_{read-bit}$ により磁束が加えられると、接合がスイッチし電圧パルス $V_{readout}$ を出力する。この方法により、書き込み動作と同様にインパルス信号で読み出し動作を実現できる。バイアス抵抗によるエネルギー損失を極限まで小さくするために、Readout SQUID には π 接合を用いた SQUID を採用している。

Fig.2 に単体のメモリセルでの書き換え及び読み出し動作のシミュレーション結果を示す。書き込みに関しては、 $I_{write-bit}$ と、 $I_{write-word}$ が同時に入力された場合のみ Storage Loop の周回電流 I_{main} の正負が変化、すなわち内部状態の書き換えが行われている。

一方で読み出しに関しては、 $I_{read-bit}$ と $I_{read-word}$ が同時に入力された際に、 I_{main} が負の場合は出力電圧 $V_{readout}$ が発生していないのに対し、 I_{main} が正の場合は $V_{readout}$ が発生しており、非対称 SQUID を用いた

正常な読み出しができています。また、 $I_{read-bit}$ 及び $I_{read-word}$ の入力時に、 I_{main} の正負が変わらないことから、非破壊読み出しが実現できていることが分かる。

このシミュレーションにより、インパルス信号による読み出しの可能性を示した。しかし、Readout SQUID に印加するバイアス電流のマージンが数 μA と小さいことや、出力信号を受け取るレシーバーの最適化など課題もあるため、さらに検討を進める。

謝辞 本研究は、特別推進研究 (18H05211) 及び基盤研究 (S) (JP19H05615) の支援を受けている。

参考文献

- [1] V. V. Ryazanov *et al.*, Phys. Rev. Lett., vol. 86, pp. 2427-2430, 2001.
- [2] Y. Takeshita *et al.*, “Study on pulse-driven, high-speed memory based on $0-\pi$ SQUIDs with passive transmission lines”, Wk1EO2B-02, ASC2020.
- [3] 加藤他, 第 68 回応用物理学会春季学術講演会, 18p-Z27-10, 2021.

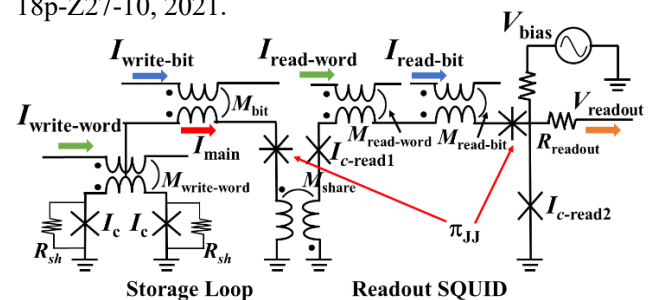


Fig. 1. Schematic diagram of the memory cell ($M_{bit}=1.23pH$, $M_{write-word}=6.35pH$, $M_{share}=0.72pH$, $M_{read-bit}=0.90pH$, $M_{read-word}=2.48pH$, $I_c=40\mu A$, $I_{c-read1}=40\mu A$, $I_{c-read2}=35\mu A$, $R_{sh}=28.21\Omega$, $R_{readout}=21\Omega$, $I_{bias}=20\mu A$, LI_c product of Storage loop $=0.33\Phi_0$, LI_c product of Readout SQUID $=0.19\Phi_0$)

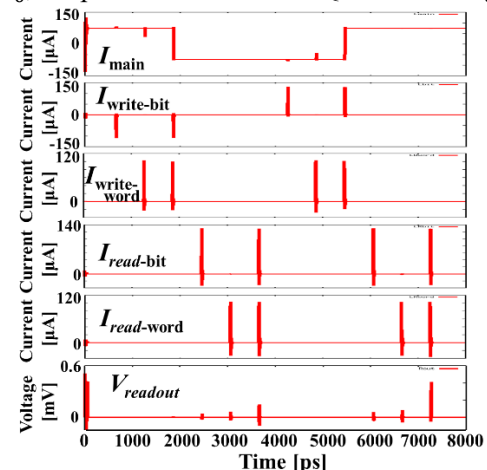


Fig. 2. Results of simulation