

10kA/cm² プロセスを用いた単一磁束量子 100GHz ビット並列加算器の実証

Demonstration of Single-Flux-Quantum 100-GHz Bit-Parallel Adders Using 10-kA/cm² Process

名大院工, °中埜 智貴, 長岡 一起, 加島 亮太, 田中 雅光, 山下 太郎, 藤巻 朗

Nagoya Univ., °Tomoki Nakano, Ikki Nagaoka, Ryota Kashima,

Masamitsu Tanaka, Taro Yamashita, and Akira Fujimaki

E-mail: nakano@super.nuee.nagoya-u.ac.jp

背景 単一磁束量子 (SFQ) 回路は、高速動作性と低消費電力性に優れており、半導体では到達できない超高速集積回路を実現できる技術として注目されている。我々はこれまでに、ビット並列処理方式の乗算器[1]やデータパス[2]などの複雑で大規模な SFQ 回路に対して、精密なタイミング設計を行い、産総研の 10kA/cm² プロセス[3]を用いて 50GHz を超える動作を実証した。さらに、よりタイミング設計の厳しい低電圧駆動 SFQ 回路においても、設計手法を洗練させることで、52GHz での実証に成功している[4]。

同設計手法を用いれば、通常の電圧で駆動する SFQ 回路をさらに高速に動作させられる事が期待される。そこで本研究では、10kA/cm² プロセスにより、より高周波で動作する SFQ 回路の評価を目的とした。プロセッサの基本的な構成要素である加算器を対象に、先行研究と同様のタイミング設計手法を適用した、4 ビット並列加算器の設計と実験結果について報告する。

設計 SFQ 回路の設計においては、製造ばらつきやチップ内外の雑音などにより、SFQ の到着時間が揺らぐため、ある程度のタイミング余裕を確保しなければならない。従来は経験上、大規模回路では SFQ パルス幅の約 10 倍のクロック周期が必要で、10kA/cm² プロセスでは 50GHz が動作周波数の限界と考えられてきた。先行研究の手法では、必要なタイミング余裕を削減するため、1 本のクロック配線からパイプライン・ステージごとに分配ツリーを形成し、タイミング揺らぎの蓄積を最小化する。また、ジョセフソン伝送路 (JTL) と受動線路 (PTL) では、バイアス依存性の有無や影響を受ける製造ばらつきが異なるため、独立してタイミングを調整する。特に、JTL 部分ではファンアウト等負荷の違いを考慮してバイアス依存性の差を最小化するように接合数を調整し、PTL 部分では等長配線を徹底的に行う。

これらの指針のもとに設計した 4 ビット並列加算器の回路図を Fig.1 に示す。加算器は Kogge-Stone Adder に基づいており、ファンアウト数は小さいが、素子数は多い。今回はさらに、回路図でグラウンドに接続したダミー入力を用い、各ステージの論理ゲートを出来る限り揃えた。加算器は、6 段のパイプライン・ステージからなり、接合数は 1273、ゲート数は 54 となった。設計バイアス電圧は 2.5mV、消費電力は 0.3mW である。

評価 設計した加算器を 10kA/cm² プロセスにより試作し、高周波試験を行った。バイアスマージンの周波数特性を Fig.2 に示す。クロック周波

数が 80GHz においても 10% 程度のバイアスマージンを得る事ができた。また、タイミング設計の工夫により、最大 101GHz までの動作を実験的に確かめる事ができ、これまでより 2 倍程度高い周波数でのビット並列回路の動作実証に成功した。

謝辞 本研究は JST 未来社会創造事業 (JPMJMI18E1)、SPS 科研費 (18H05211, 18H01498, 19H01105)、JST CREST (JPMJCR20C5) の支援を受けて実施したものである。本研究で利用した回路は、産業技術総合研究所 (AIST) の CRAVITY において作製された。

参考文献

- [1] I. Nagaoka, et al., ISSCC 2019, San Francisco.
- [2] R. Kashima, et al., IEEE Trans. Appl. Supercond., vol. 31, no. 5, p. 1301006, 2021.
- [3] S. Nagasawa, et al., IEICE Trans. Electron., vol. E97-C, no. 3, pp. 132–140, 2013.
- [4] I. Nagaoka, et al., IEEE Trans. Appl. Supercond., vol. 31, no. 5, p. 1302505, 2021.

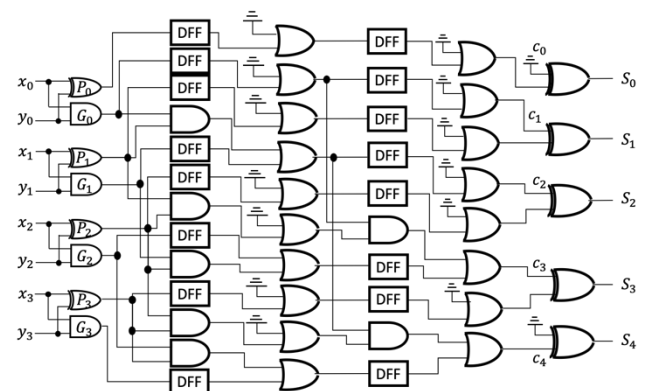


Fig.1 Logic circuit diagram of designed parallel adder

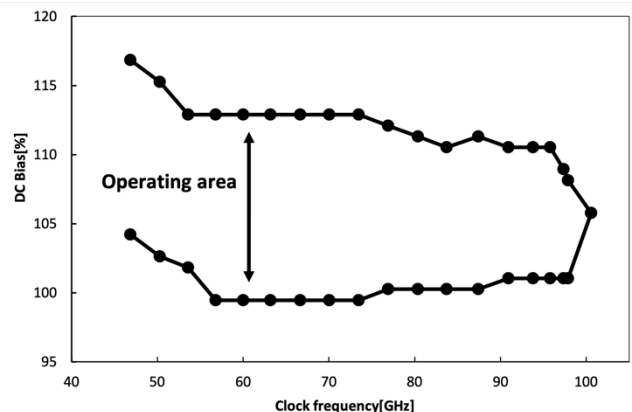


Fig.2 Frequency characteristic of 4bit parallel adder