

入力タイミング制約を緩和したクロックレス単一磁束量子論理ゲートの設計

Design of a Clockless Single Flux Quantum Logic Gate Alleviating the Input Timing Constraints

横国大理工¹ ○藤澤 大世¹, 山梨 裕希¹, 吉川 信行¹

Yokohama National Univ.¹ ○Taisei Fujisawa¹, Yuki Yamanashi¹, Nobuyuki Yoshikawa¹

E-mail: fujisawa-taisei-bc@ynu.jp

1 はじめに

超伝導単一磁束量子回路 [1] ではクロックのタイミング設計が重要である。タイミング設計を容易にするために、クロックレス論理ゲートが提案されている。通常のクロック同期式論理ゲートをクロックレス論理ゲートに置き換えることで、回路面積の削減やタイミング設計の簡易化が期待できる [2]。クロックレス論理ゲートを用いる場合、入力信号の到着の時間差(入力スキュー)がどれだけ許容され、同時入力と見なされるか(許容される最大の入力スキューを最大スキューと呼ぶ。)を適切に決定することが重要である。

本研究では、回路の一部のパラメータを変更することで最大スキューを容易に調整できる、クロックレス論理ゲートを設計する手法を提案する。また、この方法を用いて、クロックレス論理ゲートとしては未報告のクロックレス Exclusive OR(XOR)ゲートを設計したことを報告する。

2 クロックレス XOR ゲートの設計

設計した2入力クロックレス XOR ゲートの等価回路を図1に示す。入力端はaおよびb, 出力端はcである。回路の構成は、通常のクロック同期式 XOR ゲートがもとになっている。通常のクロック同期式 XOR ゲートのクロック入力端 (clk) と2つのデータ入力端 (a' および b') に対して、clk には、a からの入力と b からの入力を合流したものが入力され(これをセルフクロックと呼ぶ。), a=0, b=0 以外の時に内部でクロックを生成する。a' には a, b' には b からの入力それぞれ入力される。このため、a からの入力, b からの入力はそれぞれ2方向に分岐される。この構造により、J₁₂ を流れるバイアス電流を調節すれば、データ入力とセルフクロックの到着時刻の差を調整することができ、最大スキューを調整することができる。また、a=1, b=1 の入力時に、J₉ がスイッチし、J₁₄ がスイッチしないよう設計さ

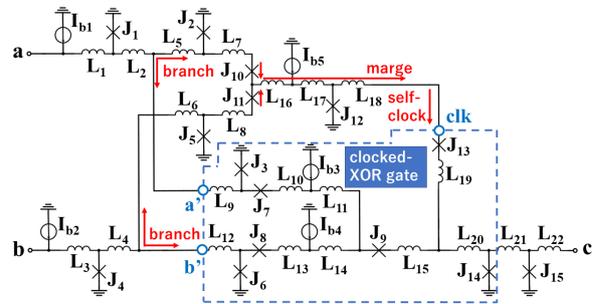


図1: 設計したクロックレス XOR ゲートの等価回路。

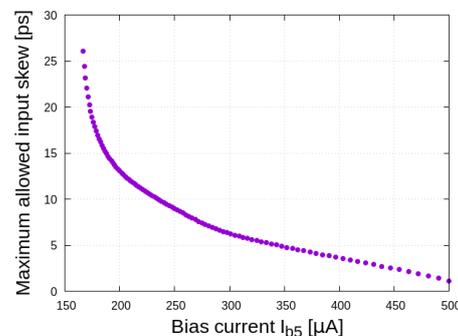


図2: 最大スキューの I_{b5} 依存性。

れている。

最大スキューのセルフクロック側のバイアス電流 I_{b5} 依存性を図2に示す。I_{b5} を変化させたところ、最大スキューが1.2 ps から 26.0 ps まで変化する様子が確認できた。

3 まとめと今後

クロックレス XOR ゲートを設計し、入力タイミング制約を緩和したクロックレスゲートの設計手法を示した。この方法はクロックレスゲートとして実現可能な、入力が a=0, b=0 の時に出力が c=0 であるすべての論理 (AND, OR など) に対して適用可能である。今後は、実験での動作確認を行う。

参考文献

- [1] K. Likharev and V. Semenov, *IEEE Trans. Appl. Supercond.*, vol. 1, pp. 3-28, 1991.
- [2] T. Kawaguchi, et al., *IEEE Trans. Appl. Supercond.*, vol. 31, no. 4, pp. 1-7, 2021, Art no. 1302407.