

電圧駆動MRAMにおける書き込みエラー率の確率分布に関する理論的研究

Theoretical study on probability distribution of write error rate of voltage-controlled MRAM

産総研新原理¹, 産総研デジタルアーキテクチャ² °荒井礼子¹, 広瀬崇宏², 今村裕志¹

AIST RCECT¹, AIST DigiARC², °Hiroko Arai¹, Takahiro Hirofuchi², Hiroshi Imamura¹

E-mail: arai-h@aist.go.jp

メモリデバイスは、エラーの発生率が低いメモリ素子を用いることに加え、エラー訂正機構を用いることで高い信頼性を保持してきた。しかし最近、深層学習や信号処理などのアプリケーションでは、メモリにおけるビット反転（エラー）への耐性があることが明らかとなってきた[1]。また、特性の異なるメモリを適切に使い分けるメモリサブシステム的设计に関する研究も始まっている[2]。このようなメモリシステムは、消費電力やレイテンシを劇的に低減できる可能性を持っており、さらにエラー訂正機構を排除したメモリとの使い分けも期待できる。エラー訂正機構を排除することで回路面積、消費電力、レイテンシなどの低減が期待できる一方、メモリデバイス中で生じるビット反転エラーの影響を直に受けることになるため、アプリケーションの最終出力に対する影響を精査しなければならない。特にメモリデバイス上におけるエラーの空間的な分布はメモリシステムの動作に大きな影響を与えると考えられる。そこで本研究では、電圧駆動磁性メモリ (VC-MRAM) について、製造時の加工ばらつきを想定した書き込みエラー率 (WER) の確率分布を理論的に導出し、WER の分布傾向について理論解析を行った[3]。

VC-MRAM の動作を決定する原理的な要因は、磁気異方性定数 (K_u) の大きさである。そこで、製造時の加工ばらつきとして、 K_u が正規分布に従うと仮定した。また、それぞれの K_u における磁化ダイナミクスの数値シミュレーションを有限温度 (300K) の条件で 10^7 回を行い、WER を算出した。WER を K_u の関数として Y_{WER} と定義すると、 $\log_{10} Y_{WER} = a(K_u - b)^2 + c$ の形で良く近似できることが分かった。この近似に基づき確率変数の変換を行うことで、WER の確率密度関数を解析的に導出した。確率密度関数は、最低の WER 値にピークを持つ単調減少関数と、極大値を持つ関数の二つのタイプに分けられる。さらに確率密度関数から WER の分布をヒストグラムとして求めると、その形状は正規分布とは大きく異なった形状となる。発表では、WER の分布形状を決定する要因について解説する。

謝辞 本研究は JSPS 科研費 19H01108 および 20K12003 の助成を受けたものです。

参考文献 [1] C. Torres-Huitzil and B. Girau, IEEE Access 5, 17322 (2017). [2] T. Hirofuchi and R. Takano, SoCC '16: Proceedings of the Seventh ACM Symposium on Cloud Computing, October, 112 (2016). [3] H. Arai, T. Hirofuchi, and H. Imamura, submitted.