

電源電圧 0.5V 動作の高ゲイン WSe₂ CMOS インバータの実証

Demonstration of High Gain WSe₂ CMOS Inverter operating at V_{dd} of 0.5 V

東工大未来研¹, 東工大工² °川那子高暢¹, 松崎貴広², 梶川亮介²

宗田伊理也², 星井拓也², 角嶋邦之², 筒井一生¹, 若林整²

Tokyo Tech FIRST¹, Tokyo Tech² °T. Kawanago¹, T. Matsuzaki², R. Kajikawa²,

I. Muneta², T. Hoshii², K. Kakushima², K. Tsutsui¹, and H. Wakabayashi²

E-mail: kawanago.t.ab@m.titech.ac.jp

【はじめに】2次元半導体の二セレン化タングステン(WSe₂)は未結合手が無く、両極性伝導と高い移動度を示し、電子と正孔の有効質量がほぼ等しいことから、デジタルエレクトロニクスの基本構成素子である CMOS インバータへの応用が期待されている[1]。本研究では機械的に剥離した WSe₂ をチャンネル材料に用い、FET 構造、作製プロセス及び構成材料に独自の工夫を導入する事で WSe₂ への n/p 型ドーピング技術と極薄ゲート絶縁膜技術を確認し、電源電圧 0.5V 動作の高ゲイン WSe₂ CMOS インバータの実証に成功したので報告する。

【実験方法】図 1 にデバイス構造を示す。WSe₂ の p 型 FET には、フッ素原子を含んだ CYTOP (AGC 社製)を用いた。電気陰性度の差によって CYTOP 内の C-F 結合間に分極が生じ、F 原子は負に帯電する。その結果 WSe₂ 側に正孔が誘起される[2]。一方、WSe₂ の n 型 FET には poly(vinyl alcohol) (PVA)を用いた。PVA 内には正の固定電荷が存在するため、WSe₂ 側に電子が蓄積される[3]。ゲート絶縁膜には自己組織化有機単分子膜 (SAM)を用いた積層 SAM/AIO_x ゲート絶縁膜を用いた[4]。SAM は WSe₂ と同様に未結合手の無い2次元有機結晶であるため急峻な界面を形成する。また積層 SAM/AIO_x ゲート絶縁膜の膜厚は 5~7nm と極めて薄く、SAM は AIO_x 表面に緻密に配向するため低いゲートリーク電流と大きなゲート容量を両立できる。作製した WSe₂ nFET と pFET を用いて CMOS インバータの測定を行った。

【実験結果】図 2 に作製した WSe₂ CMOS インバータの V_{in} - V_{out} 特性の電源電圧依存性を示す。電源電圧を 3V から 0.5V まで低下させても正常なインバータ動作を確認した。次にこのインバータの V_{in} - V_{out} 特性からゲイン(dV_{out}/dV_{in})を求めた。 V_{in} - V_{out} 特性の遷移が急峻なほど高いゲインを意味する。作製した WSe₂ CMOS インバータのゲインは電源電圧 0.5V において 9 が得られた。これ

らの結果は本研究で確立した n/p 型ドーピング技術と極薄ゲート絶縁膜技術の有効性を示すものである。詳細は当日報告する。

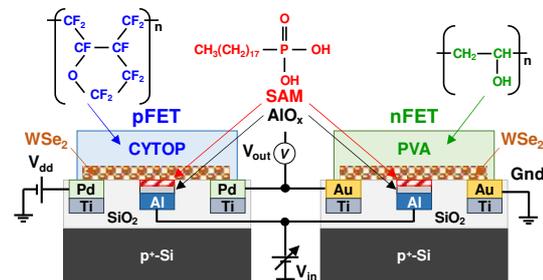


Fig.1 Device structures of WSe₂ n/p FETs.

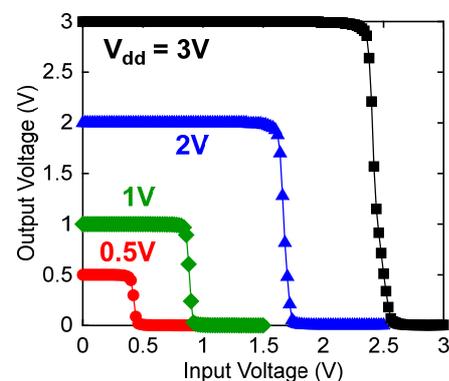


Fig.2 Transfer curve of WSe₂ CMOS inverter.

【参考文献】

- [1] L. Yu *et al.*, Nano Lett. 15, 4928 (2015).
- [2] P. J. Jeon *et al.*, J. Mater. Chem. C, 3, 2751 (2015).
- [3] S. Aikawa *et al.*, Appl. Phys. Lett. 112, 013501 (2018).
- [4] T. Kawanago *et al.*, Appl. Phys. Lett. 108, 041605 (2016).

【謝辞】本研究に関して日頃よりご指導、ご協力頂いた中央大学の河野行雄教授に感謝いたします。本研究は JST-CREST (JPMJCR16F4)及び科研費基盤(C) (20K04616)の支援により実施された。