

シミュレーティッド・アニーリングに向けた コンピューション・イン・メモリの ReRAM デバイスのエラー評価

Evaluation of ReRAM errors in Computation-in-Memory for simulated annealing applications

東大工, °三澤 奈央子, (M1)田岡 健太, (M1)越能 俊介, 松井 千尋, 竹内 健

Univ. of Tokyo, °Naoko Misawa, Kenta Taoka, Shunsuke Koshino, Chihiro Matsui, Ken Takeuchi

E-mail: misawa@co-design.t.u-tokyo.ac.jp

1. はじめに

組合せ最適化問題は、問題が大きくなると計算量が爆発的に増える。そのため、シミュレーティッド・アニーリングを用いた、高速かつ低消費電力である ReRAM (Resistive Random Access Memory) のコンピューション・イン・メモリ (CiM) が注目されている。しかし、ReRAM デバイスは、従来の緩和効果では書き換え回数により Bit-error rate, BER が増える (図 1) [1]。本論文では、ReRAM を高信頼化し、シミュレーティッド・アニーリング (SA) のアルゴリズムを ReRAM CiM にマッピングすることで、組合せ最適化問題の 1 つであるナップサック問題を解く。ReRAM CiM の量子ビット数と BER の影響を、ナップサック問題の最適解を得る確率にて評価する [2]。

2. Adaptive Endurance Relaxation (AER)

ReRAM の高信頼化のため、DC read による緩和効果を書き換え回数に適応させる Adaptive Endurance Relaxation, AER を提案する。表 1 に提案する AER の DC read 間隔を示す。AER は、従来の対数スケール (図 1(a)) および線形スケール (図 1(b)) による緩和効果に比べ、最大で 100%、BER を削減できる。また、提案の条件 3 の Current Window (累積度数が 50% のときの HRS と LRS の電流値の差異) は、従来の対数スケールの緩和効果に比べ 21.2% 広がる (図 2)。

3. SA algorithm mapping to ReRAM CiM

提案する SA アルゴリズムの ReRAM CiM へのマッピング手法では、ナップサック問題をハミルトニアンに定式化し、二次形式に展開する。QUBO 行列を量子化し、二次形式のハミルトニアン q^T, Q, q を、ReRAM CiM の Bit-line (BL)、ReRAM のコンダクタンス、Word-line (WL) にそれぞれマッピングする。量子化ビットの“1”を“0”に反転させることで、ReRAM デバイス特性の LRS エラーを再現する。図 3 に、10 ビット精度、BER3% のシミュレーション結果を示す。図 4 に ReRAM CiM のビット精度と BER を変えた場合の成功確率 (ナップサック問題を 10,000 回試行し最適解を得た確率) を示す。95% 以上の成功確率を基準とした場合、提案の AER を ReRAM CiM に適用すると、BER が 0% となるため、3 ビットまでビット数を減らすことができる。また、AER は Current Window を 21.2% 広げることができるので、5 ビットは 6 ビットに精度が向上し、許容 BER が 5% から 10% と 2 倍になる。

4. 結論

本論文では、ReRAM の緩和効果である Adaptive Endurance Relaxation と SA アルゴリズムの CiM へのマッピング手法を提案した。提案により、ナップサック問題における ReRAM CiM は、許容ビット精度が 2 ビット、許容 BER が 2 倍向上する。

謝辞

安原隆太郎さん、三河巧さんの協力に深謝します。この成果は、国立研究開発新エネルギー・産業技術総合研究所 (NEDO) の委託業務の結果得られたものです。

参考文献

- [1] K. Maeda et al., *IRPS*, 2017, pp. 5A-4.1-5A-4.6.
[2] K. Taoka et al., *IMW*, 2021, pp. 119-122.

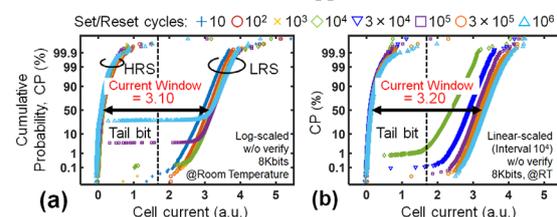


図 1 従来の緩和効果による電流値の累積度数分布 (a)対数スケール (b)線形スケール

表 1 提案する AER (Adaptive Endurance Relaxation)

Set/Reset cycles	Interval of DC read [Set/Reset cycles]		
	Condition 1	Condition 2	Condition 3 w/ verify
0 - 10	0	1	1
$10^{-1} - 10^2$	10	10	10
$10^2 - 10^3$	10^2	10^2	10^2
$10^3 - 10^4$	10^3	10^3	10^3
$10^4 - 10^5$	10^4	10^4	10^4
$10^5 - 10^6$	10^5	10^5	10^5

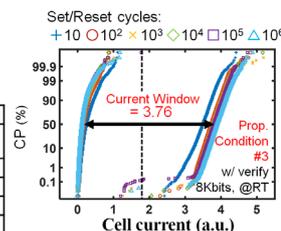


図 2 提案の AER による電流値の累積度数分布 (条件 3)

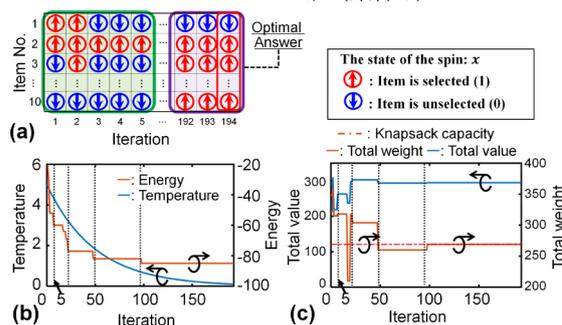


図 3 10 ビット精度、BER=3% の SA 結果 (a) スピンの更新 (b) 温度とエネルギー変化 (c) 選択したアイテムの総価値と総重量

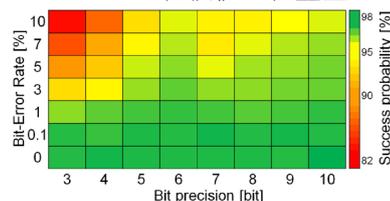


図 4 ReRAM CiM のビット精度と BER における成功確率