

ソースフォロワ読み出し・チャージシェアリングにより積和演算を行う FeFET Computation-in-Memory (CiM)

FeFET Computation-in-Memory (CiM) with MAC Operation

by Source-follower Read and Charge-sharing

東大工¹ °松井 千尋¹, トーブラサートポン カシディット¹, 高木 信一¹, 竹内 健¹

Univ. Tokyo¹, °Chihiro Matsui¹, Kasidit Toprasertpong¹, Shinichi Takagi¹, Ken Takeuchi¹

E-mail: matsui@co-design.t.u-tokyo.ac.jp

読み出し電流の On/Off 比が高い HZO FeFET を用いた、電圧センス型 Computation-in-Memory (CiM) を提案する [1]。従来の電流センス型 CiM [2] はキルヒホッフの電流則によってメモリセルの電流を加算するが、ワード線・ビット線の抵抗による IR ドロップが回路ノイズとなる問題がある。さらにメモリセルの直流電流が大きいと、並列に活性化できるビット線が制限される。

Fig. 1 に提案の電圧センスにより積和演算を行う FeFET を用いた CiM アレイを示す。積演算を Multiply-line (ML) で行い、和演算を Accumulate-line (AL) で行う。前段の pre-neuron の発火であるニューラルネットワークの入力は Input-line (IL) に与え、ニューラルネットワークの重みは FeFET に保存する。まず積演算は FeFET をソースフォロワで読み出し、FeFET のしきい値電圧に応じた ML の電圧変化で積演算の結果を得る。次に和演算は各 ML と AL を接続するゲートを開くことで、各 ML と AL の電荷をチャージシェアする。チャージシェア時に電流が流れないため、積演算の際の AL を並列動作することができる。この結果、ML は 1024 並列、AL は 32 並列動作することができ、66 TOPS/W という高スループットを実現した。

謝辞この成果は、国立研究開発法人新エネルギー・産業技術総合研究所 (NEDO) の委託業務の結果得られたものです。

参考文献 [1] C. Matsui et al., *VLSI Tech.*, 2021, pp. 1-2. [2] R. Mochida et al., *VLSI Tech.*, 2018, pp. 175-176.

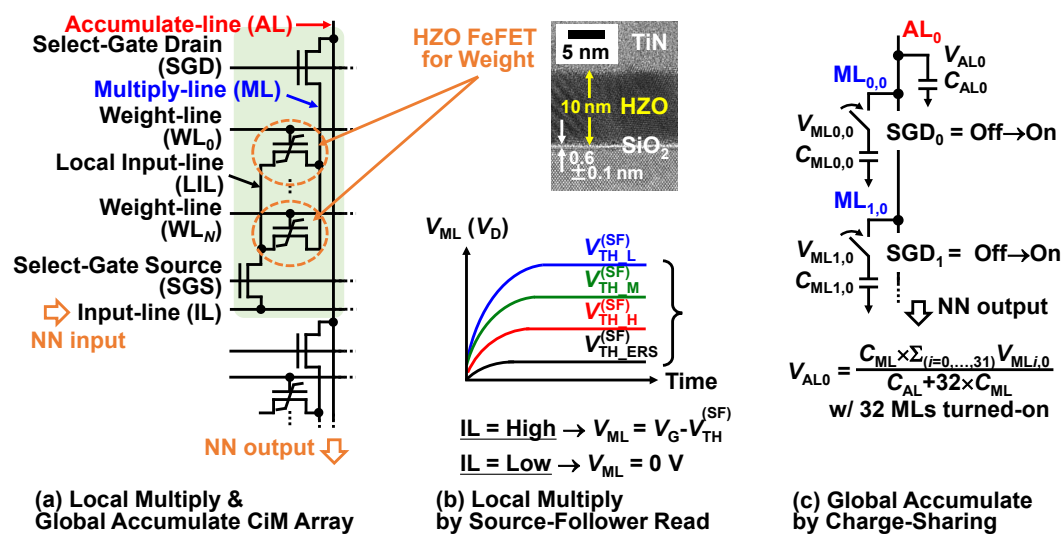


Fig. 1 FeFET CiM array with MAC operation by source-follower read and charge-sharing