

熱酸化およびスパッタ製膜 SiO_2 上に形成した Fe ナノドットアレイの単電子特性 Single electron conduction of Fe nanodot array fabricated on SiO_2 surfaces prepared by thermal oxidation and sputter deposition

北大院情報 ○天野 郁馬, 瘡師 貴幸, 谷澤 涼太, 福地 厚, 有田 正志, 高橋 庸夫

Graduate School of IST., Hokkaido Univ

○Ikuma Amano, Takayuki Gyakushi, Ryota Tanizawa

Atsushi Tsurumaki-Fukuchi, Masashi Arita, and Yasuo Takahashi

E-mail: amano.ikuma.o0@elms.hokudai.ac.jp

近年、ナノドットを用いた新たな情報処理が注目を集めており、多ドット系デバイスの利用も検討されている。我々は、自己組織化 Fe ナノドットアレイを用いた単電子デバイス (Single-Electron Device: SED) において、機能的な動作の可能性を示してきた [1]。しかしながら、更なる高機能化にはナノドットアレイの構造による電気特性の制御が不可欠である。本手法では、表面での核形成を経た自己組織化ナノドットを用いるため、下地層の表面状態が重要な制御要因であると考えられる [2]。これに関する知見を得るため、本研究では表面状態が異なる下地 SiO_2 上にマルチドット SED を作製し、その電気特性を評価・比較した。

熱酸化 SiO_2 (200nm) 又はその上にスパッタ SiO_2 (10nm) 製膜した Si 基板を用いて、デバイスを作製した。まず、各基板上にギャップ長 $L=50\sim600\text{nm}$ の Au/Cr 電極を作製した後、高真空 EB 蒸着を用いてギャップ間に Fe (膜厚 $t_{\text{Fe}}=2.2\sim3.2\text{nm}$) ナノドットアレイ、その上層に MgF_2 (45nm) を堆積した。Si 基板をバックゲートとして利用し、8K において電気特性を評価した。

Fig. 1 に電流振動を示したデバイスのコンダクタンスの Fe 膜厚依存性を示す。同じ膜厚におけるコンダクタンスがスパッタ膜下地において 2 桁程度高くなっている。これはスパッタ膜上では Fe ナノドット密度が高く、ドット間距離が減少したことによるコンダクタンス上昇を示唆している。 $10^{-7}\sim10^{-9}\text{ S}$ のコンダクタンスを示すデバイスを対象に、電流振動特性のピークバレー比 (PV 比) をプロットした。同程度のコンダクタンスを持つデバイスを比較した結果、スパッタ SiO_2 下地層上のデバイスにおいてピークバレー比の向上が認められた。

これらの結果は、スパッタ SiO_2 下地層を用いることによって、同じ Fe 平均膜厚において高密度かつ小さなドットが形成されたことに起因すると考えられる。つまり同じコンダクタンスのデバイスを比較した場合、ドットサイズの減少によってチャージングエネルギーが大きくなり、その結果として PV 比が向上したと予想できる。従ってスパッタ SiO_2 下地層の利用はマルチドット SED の更なる高温動作化という点において優位であると期待できる。

[1] T. Gyakushi, *et. al.*, Proc. 2020 Silicon Nanoelectronics Workshop (SNW-2020), pp. 37-38 (2020).

[2] I. Amano, *et. al.*, Proc. 33rd Internat. Microprocesses and Nanotechno. Conf., (2020.11.09-12).

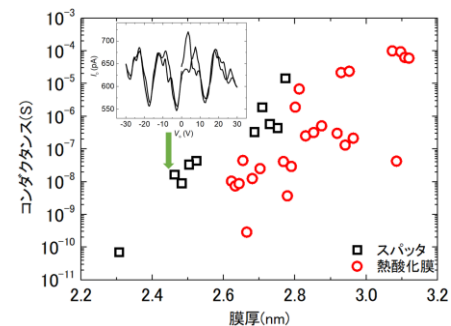


Fig. 1 コンダクタンスの Fe 膜厚依存性

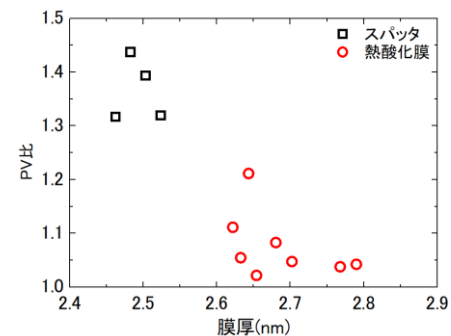


Fig. 2 同程度のコンダクタンスを持つデバイスの電流振動の PV 比の比較