

ボトムアッププロセスによる CdS 半導体量子ドット単電子トランジスタ

CdS semiconductor quantum dot single electron transistor based on bottom-up process

○大勝 賢樹¹, 西之坊 拓海¹, 猿山 雅亮², 寺西 利治², 真島 豊¹

°Genki Ohkatsu¹, Takumi Nishinobo¹, Masaki Saruyama²,

Toshiharu Teranishi², Yutaka Majima¹

東京工業大学フロンティア材料研究所¹, 京都大学化学研究所²

Laboratory for Materials and Structures, Tokyo Tech.¹

Institute for Chemical Research, Kyoto Univ.²

E-mail: ohkatsu.g.aa@m.titech.ac.jp

半導体量子ドットは、量子井戸構造に由来する離散的なエネルギー準位と、半導体のバンドギャップを組み合わせた性質を持ち、エネルギー準位の分布は粒径に依存する。単一の量子ドットの電気特性を評価するためには、量子ドットのサイズと等しいギャップ長を有する電極を作製し、電極間へ量子ドットを固定する必要がある。今回我々は、ナノギャップ間に CdS 半導体量子ドットを化学吸着することでデバイスを作製し、単電子トランジスタ特性を確認したので報告する。

電子線リソグラフィによって作製した Pt ナノギャップ電極にヘテロエピタキシャル球状 (HS-)無電解金めっきを行った Au/Pt ナノギャップ電極[1,2]に、アルカンチオール/アルカンジチオールの自己組織化膜を作製し、CdS ナノ粒子に浸漬することで作製した。9 K における I_d - V_d 測定では、低ドレイン電圧領域において、電流が流れない領域が確認された (Fig. 1)。また、 I_d - V_g 測定では、ドレイン電流がゲート電圧により変調することを確認した (Fig. 2)。これらの結果は、CdS 量子ドット単電子トランジスタとして動作していることを示唆している。

本研究の一部は、文部科学省元素戦略プロジェクト<研究拠点形成型> (Grant Number JPMXP0112101001)の支援により行われた。

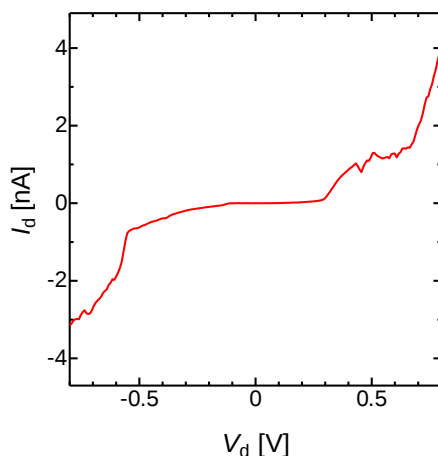


Fig.1 I_d - V_d characteristics

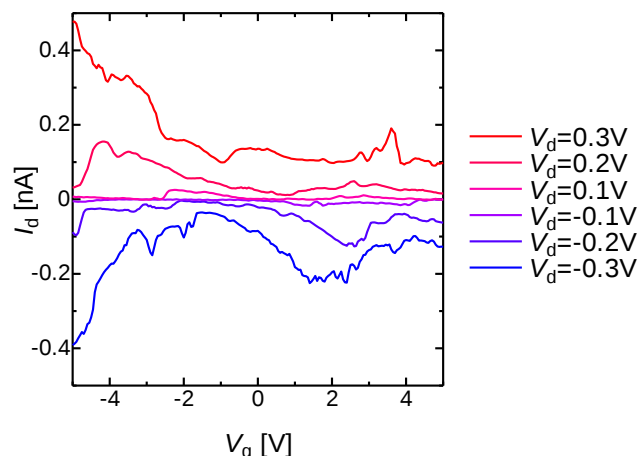


Fig.2 I_d - V_d characteristics

[1] Y. Y. Choi, T. Teranishi, and Y. Majima, *Appl. Phys. Express*, **12**, 025002 (2019)

[2] Y. Y. Choi, A. Kwon and Y. Majima, *Appl. Phys. Express*, **12**, 125003 (2019)