基板パルスバイアス電圧印加プラズマジェット CVD 法を用いた DLC の高速成膜

High-Rate Deposition of DLC Films Using Plasma Jet CVD Method by Applying Substrate-Pulsed-Bias Voltage

豊橋技科大[1]，オーエスジー[2]，岡山工技[3]
○大浦 曜[1]，坂東隆宏[1]，滝川浩史[1]，針谷 達[1]，権田英修[2]，國次真輔[3]
Toyohashi Univ. Technol.[1], OSG Coating Service Co., Ltd.[2], Ind. Technol. Cent. Okayama Pref.[3]
°Hikaru Ohhra[1], Takahiro Bando[1], Hirofumi Takikawa[1], Toru Harigai[1], Hidenobu Gonda[2], Shinsuke Kunitsugu[3] E-mail: ohhra.hikaru.bs@tut.jp

1. はじめに

硬質な非晶質炭素膜であるダイヤモンドライクカーボン（Diamond-like carbon: DLC）膜は，その優れた機械的特性などから，切削工具などの機能性保護膜として用いられている[1)]。しかし，DLC の成膜速度は，数 10～数 100 nm/min[2,3)] であり，生産性向上のためには，数 μm/min 程度のより高速な成膜手法の開発が望まれる。

我々は，炭素源ガスを Ar プラズマジェットの中心へ供給可能なプラズマジェット源を作製し，DLC の高速成膜を試みている。本研究では，プラズマジェットを用いた成膜プロセスにおいて，基板ステージへ DC パルス電圧を印加した際の DLC 膜への影響を調べた。

2. 実験方法

DLC 成膜に用いた装置の電極概略構成図を Fig. 1 に示す。円状ノズルから Ar プラズマを噴出し，円状ノズルの中心から炭素源として C_2H_2 を供給した。基板ステージは，ステージ先端の円板部分のみ電極として機能するよう同軸構造とした。プラズマジェット用電源には，パルス電源（栗田製作所）を使用し，放電条件は，入力電力 500 W，周波数 30 kHz，パルス幅 2.0 μs とした。基板バイアス用電源には，DC パルス電源（アルバック，DGP-5P）を用い，周波数 20 kHz，パルス幅 24.6 μs として，基板ステージへ負バイアス電圧を印加した。真空排気にはドライポンプ（樫山工業，NeoDry300EH）を用い，ガス流量は Ar 1000 sccm と C_2H_2 500 sccm とし，プロセス圧力は 87 Pa であった。基板には Si を用い， 成膜時間は 30 s とした。膜厚は，触針式段差計（Veeco，Dektak3）を用いて測定した。

3. 結果と考察

Fig. 2 に，印加した基板パルスバイアス電圧に対する DLC の成膜速度を示す。基板バイアス電圧を高くするほど，成膜速度は指数関数的に増加し，基板パルスバイアス電圧-500 V において，成膜速度 2200 nm/min を得た。

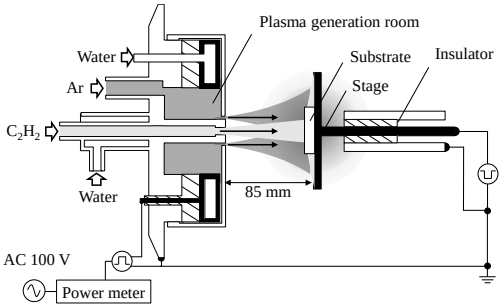

Fig. 1. Schematic diagram of electrodes on DLC deposition system using plasma jet.

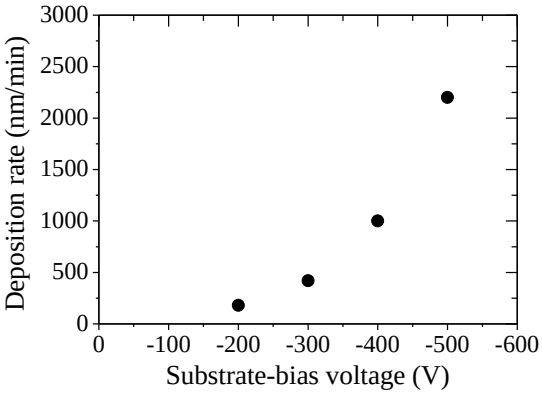

Fig. 2. Deposition rate of DLC films for applied substrate-pulsed-bias voltage.

バイアス電圧の印加により，基板へ到達するイオンのエネルギーが増加することから，膜質の変化が期待されていたが，本研究では Fig. 2 に示したように，著しい成膜速度の向上が見られた。放電の様子から，基板ステージ周囲でもプラズマが生成されており，Ar プラズマジェットによる C_2H_2 の電離・解離だけでなく，基板ステージへ印加したパルス電圧によって生成された基板近傍プラズマによる C_2H_2 の電離・解離が，DLC 成膜速度の向上に大きく寄与した可能性がある。

謝辞 本研究の一部は，大澤科学技術振興財団の支援を受けて行われた。

参考文献

1) T. Harigai, *et al.*: Vacuum 183 (2021) 109755.
2) T. Imai, *et al.*: Vacuum 167 (2019) 536.
3) T. Harigai, *et al.*: Jpn. J. Appl. Phys. 50 (2011) 08JF12.

© 2021年 応用物理学会